

电子电路与系统基础(B2)---非线性电路

第6讲：数字门电路

李国林

清华大学电子工程系

B 班课程 内容安排

第一学期：线性	序号	第二学期：非线性
电路定律	1	器件基础
电阻电源	2	二极管
电容电感	3	MOSFET
信号分析	4	BJT
分压分流	5	反相电路
正弦稳态	6	数字门
时频特性	7	放大器
期中复习	8	期中复习
RLC 二阶	9	负反馈
二阶时频	10	差分放大
受控源	11	频率特性
网络参量	12	正反馈
典型网络	13	振荡器
作业选讲	14	作业选讲
期末复习	15	期末复习

数字门电路 内容

- 基本逻辑
 - 与，或，非
 - 逻辑运算规则
- 门电路实现
 - 以非门为例，说明用晶体管开关实现门电路
 - BJT, MOSFET, CMOS
 - CMOS门电路
 - 非门、与非门，或非门
- 门电路的动态效应
 - 延迟
 - 功耗

一、基本逻辑运算

- 逻辑
 - logic: 是关于争执 argument 的学问
 - 谁对谁错, 孰真孰假?
 - true or false?

- 二进制01自然对应逻辑01

二值逻辑	1	0
正反判断	true	false
	真	假
	正	反
	正确	错误
	同意	反对
	是	否
	许可	不可
	高电平	低电平

布尔逻辑

Boolean logic

- George Boole 19世纪中叶定义
- 布尔逻辑中的三种基本运算
 - 非: NOT
 - 反着来, 对着干
 - 与: AND
 - 两个人都同意才可行
 - 或: OR
 - 两个人中只要有一个同意就可行

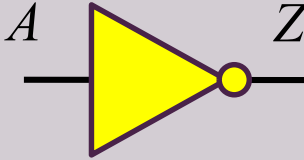

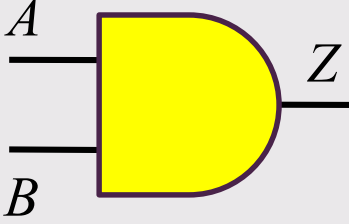
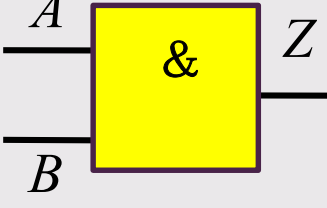
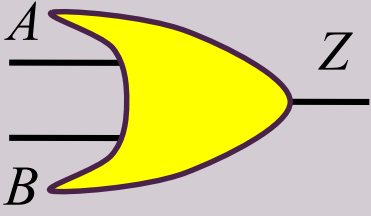
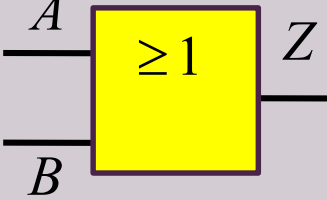
真值表
体现了电路功能

A	not A
0	1
1	0

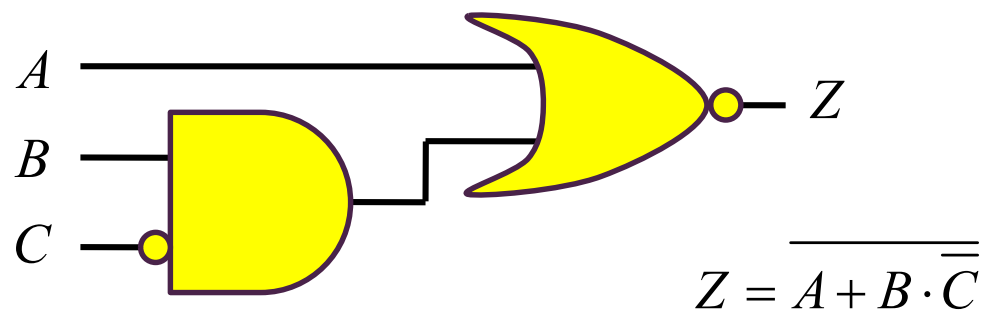
A	B	A and B
0	0	0
0	1	0
1	0	0
1	1	1

A	B	A or B
0	0	0
0	1	1
1	0	1
1	1	1

逻辑运算电路符号

逻辑	逻辑表达式	常用电路符号	方块符号
非	$Z = \overline{A}$ $Z = \neg A$ $Z = \text{not } A$	非门 	NOT gate Inverter 
与	$Z = AB$ $Z = A \cdot B$ $Z = A \wedge B$ $Z = A \text{ and } B$	与门 	AND gate 
或	$Z = A + B$ $Z = A \vee B$ $Z = A \text{ or } B$	或门 	OR gate 

由逻辑表达式 获得真值表



A	B	C	Z
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

真值表代表电路功能

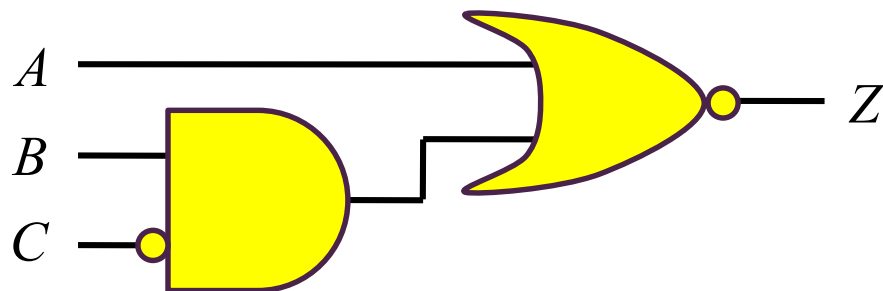
由真值表获得逻辑表达式 已知功能，如何设计电路

A	B	C	Z
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

$$Z = \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot C$$

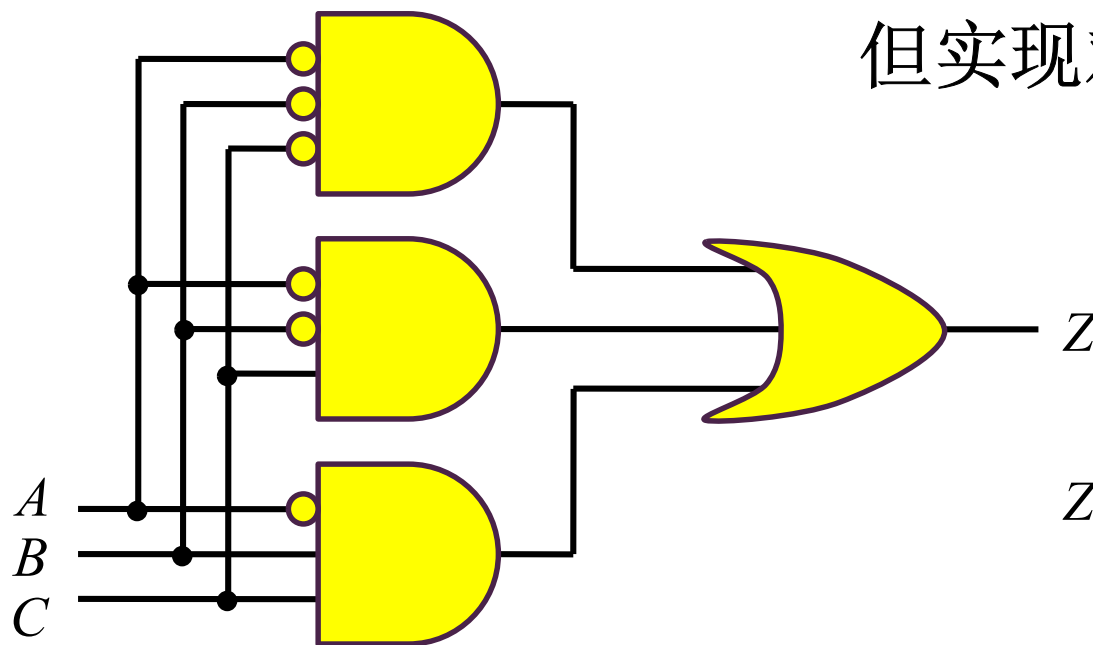
$$Z = \overline{A + B \cdot \bar{C}}$$

如何化简可以得到实用电路？



$$Z = \overline{A + B \cdot C}$$

逻辑运算功能完全一致
但实现难度和成本差距很大



$$Z = \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot C$$

逻辑运算规则

$$\overline{\overline{A}} = A \quad \text{双反律: double negation}$$

$$A + 0 = A \quad A \cdot 1 = A$$

恒等律: **identity**

$$A + A = A \quad A \cdot A = A$$

幂等律: **idempotence**

$$A + 1 = 1 \quad A \cdot 0 = 0$$

湮灭律: **annihilator**

$$A + \overline{A} = 1 \quad A \cdot \overline{A} = 0$$

互补律: **complementation**

交换律: **commutativity**

$$AB = BA$$

$$A + B = B + A$$

$$(AB)C = A(BC)$$

$$(A + B) + C = A + (B + C)$$

结合律: **associativity**

分配律: **distributivity**

$$A(B + C) = AB + AC$$

$$A + \overline{A}B = A + B$$

吸收律: **absorption**

$$A + AB = A$$

$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

$$\overline{A + B} = \overline{A} \cdot \overline{B}$$

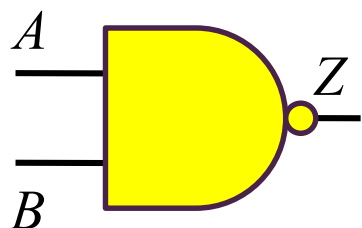
De Morgan's law

A	B	$\overline{A}B$	$A + \overline{A}B$	$A + B$
0	0	0	0	0
0	1	1	1	1
1	0	0	1	1
1	1	0	1	1

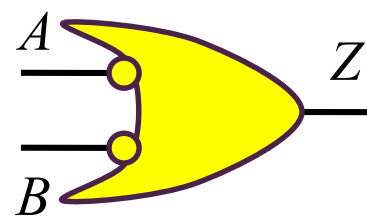
两个逻辑相同，只要
它们的真值表相同

De Morgan律的电路符号形式

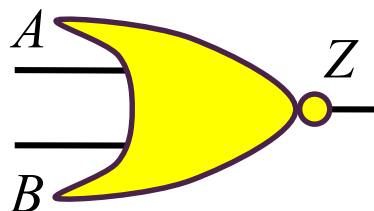
$$\overline{A \cdot B} = \overline{A} + \overline{B}$$



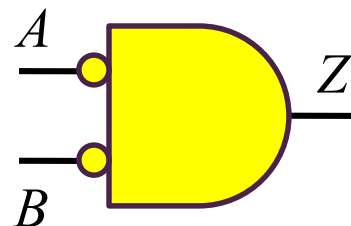
NAND gate
与非门



$$\overline{A + B} = \overline{A} \cdot \overline{B}$$



NOR gate
或非门



对De Morgan律的直观理解

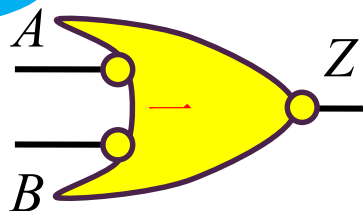
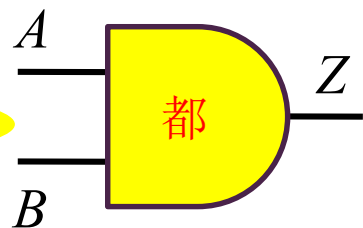
$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

$$A \cdot B = \overline{\overline{A} + \overline{B}}$$

两个人都同意则同意

换句话说

两个人中，只要有一个人不同意，则不同意



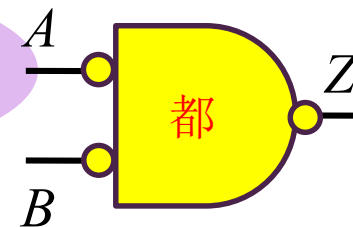
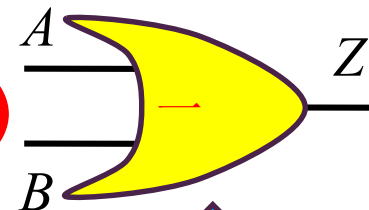
$$\overline{A + B} = \overline{A} \cdot \overline{B}$$

$$A + B = \overline{\overline{A} \cdot \overline{B}}$$

两个人中只要有一个同意了则同意

换句话说

两个人都不同意则不同意



逻辑表达式化简

$$Z = \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot C \quad ? \quad Z = \overline{A + B \cdot C}$$

$$\begin{aligned} Z &= \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot C \\ &= \overline{A} \cdot \overline{B} \cdot \overline{C} + (\overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot \overline{B} \cdot C) + \overline{A} \cdot B \cdot C \\ &= (\overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot C) + (\overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot C) \\ &= \overline{A} \cdot \overline{B} \cdot (\overline{C} + C) + \overline{A} \cdot C \cdot (\overline{B} + B) \\ &= \overline{A} \cdot \overline{B} + \overline{A} \cdot C \\ &= \overline{A} \cdot (\overline{B} + C) \\ &= \overline{A + B \cdot C} \end{aligned}$$

幂等律

结合律

分配律

互补律, 恒等律

分配律

De Morgan
律

是否是最简式?
不够直观? 最终结果不确定

卡诺图 Karnaugh Maps

$$Z = \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot C$$

C \ AB	00	01	11	10
0	1	0	0	0
1	1	1	0	0

$$\begin{aligned}
 Z &= \overline{A} \cdot \overline{B} + \overline{A} \cdot C \\
 &= \overline{A} \cdot (\overline{B} + C) \\
 &= \overline{\overline{A} + B \cdot \overline{C}}
 \end{aligned}$$

卡诺图适用于**3**输入、**4**输入变量的逻辑运算

简单明了

多于**4**变量的逻辑运算化简方法，后续数字逻辑与处理器基础课程中学习

卡诺图化简训练

AB \ CD	00	01	11	10
00	1	0	0	0
01	1	1	*(不在意)	1
11	1	1	1	1
10	1	1	1	1

$$Z = \overline{C} \cdot \overline{D} + A + B$$

AB \ CD	00	01	11	10
00	1	0	0	1
01	1	0	*	*
11	1	0	1	1
10	1	0	1	1

$$Z = \overline{D} + A \cdot C$$

二、门电路实现

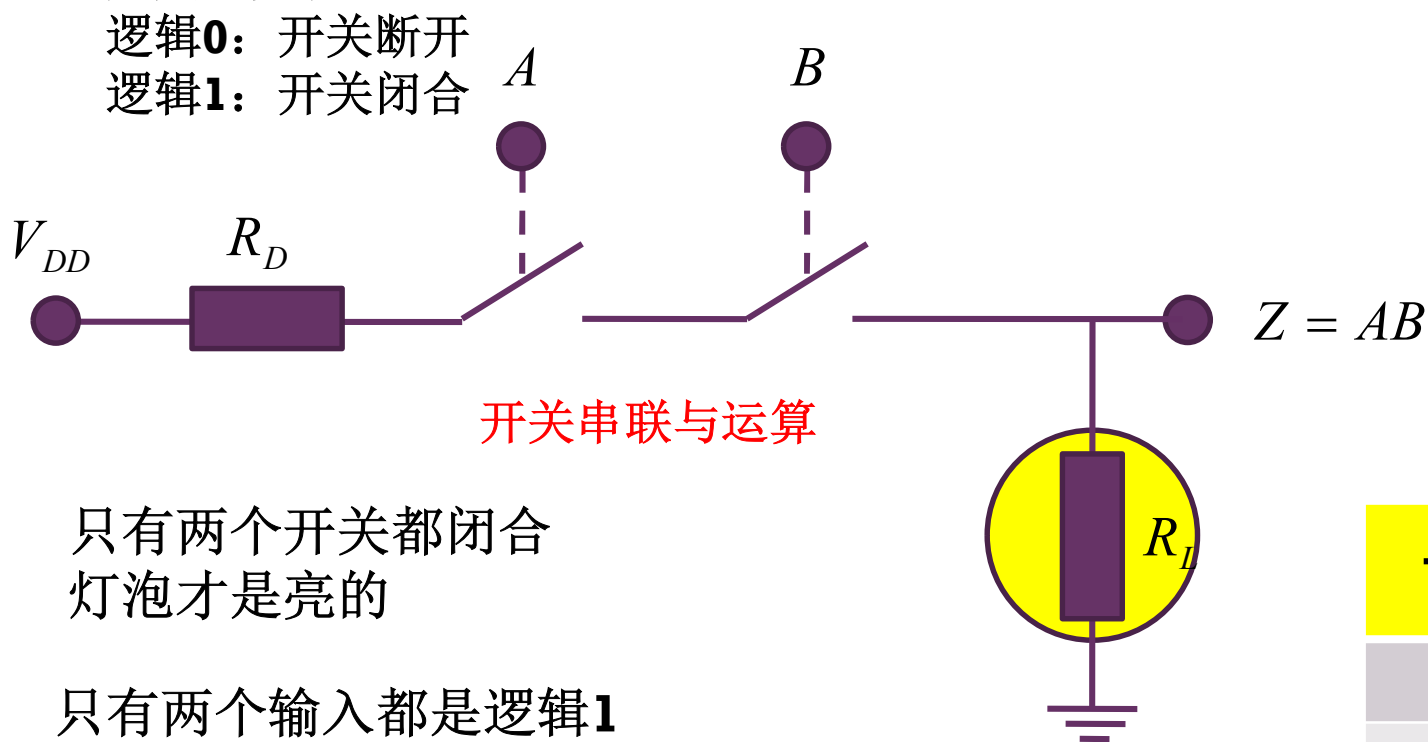
- 逻辑门电路如何实现呢？
 - 逻辑有0、1之分，对应开关的开、关两个状态，因此逻辑门电路可以用开关实现
 - 基本门电路的开关实现
 - 与，或，非
 - 与非，或非

与运算的开关实现方案

定义或实现:

逻辑0: 开关断开

逻辑1: 开关闭合



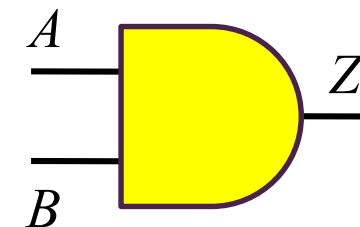
只有两个开关都闭合
灯泡才是亮的

只有两个输入都是逻辑1
输出才是逻辑1

定义或实现:

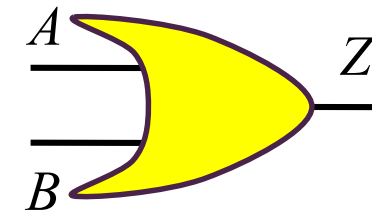
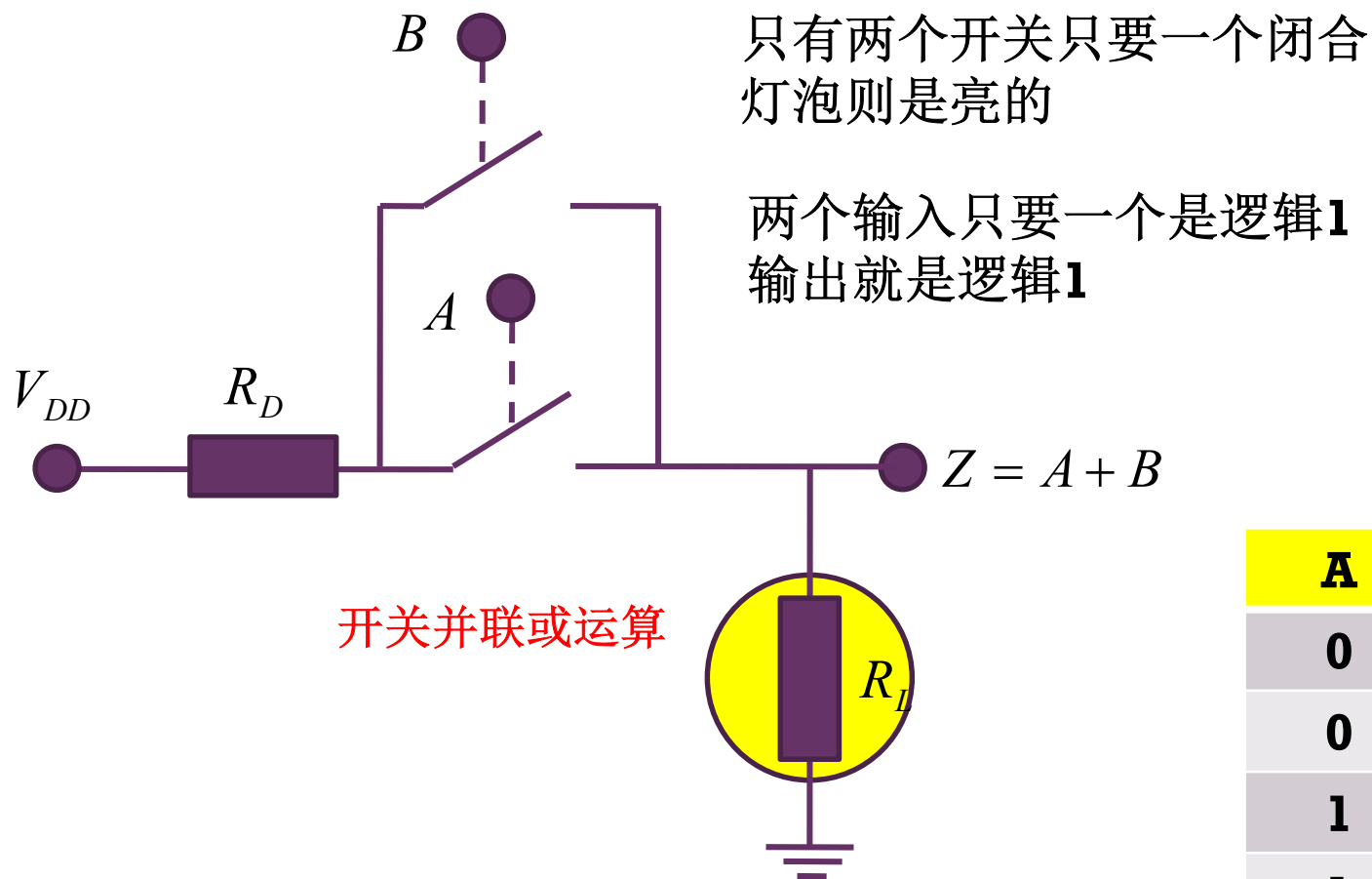
灯泡亮: 逻辑1

灯泡灭: 逻辑0



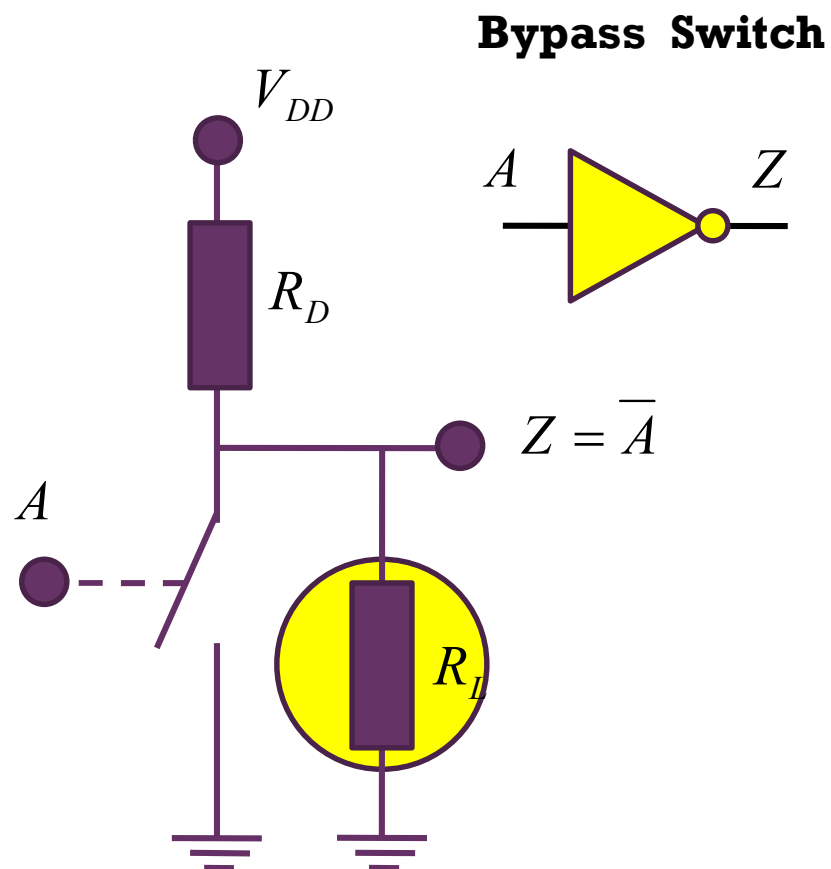
A	B	AB
0	0	0
0	1	0
1	0	0
1	1	1

或运算的开关实现方案



A	B	A+B
0	0	0
0	1	1
1	0	1
1	1	1

非运算的旁路开关实现方案



开关旁路非运算

输入逻辑**0**：开关断开

$$V_L = \frac{R_L}{R_L + R_D} V_{DD}$$

灯泡亮：输出逻辑**1**

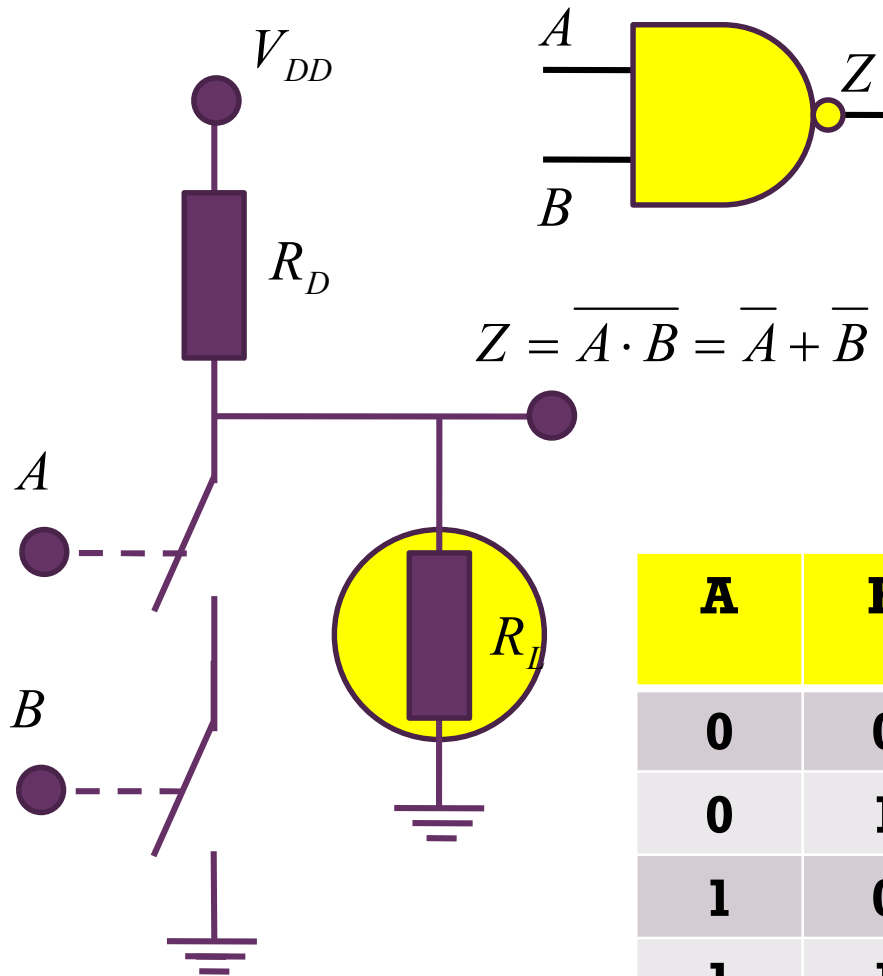
输入逻辑**1**：开关闭合

$$V_L = 0$$

灯泡灭：输出逻辑**0**

A	not A
0	1
1	0

与非运算的旁路开关实现方案



只有两个开关都闭合
灯泡才是灭的

只有两个输入都是逻辑**1**
输出才是逻辑**0**

$$Z = \overline{A \cdot B}$$

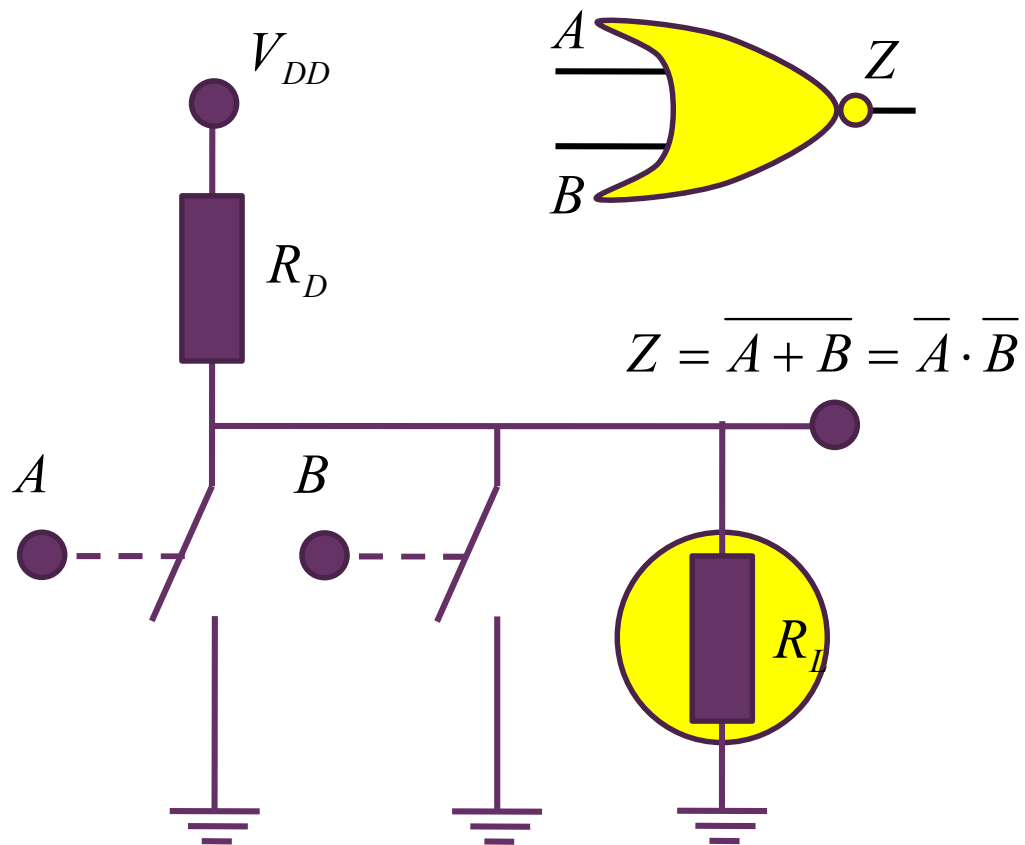
A	B	$\overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

两个开关只要一个是断开的
灯泡则是亮的

两个输入只要一个是逻辑**0**
输出就是逻辑**1**

$$Z = \overline{A} + \overline{B}$$

或非运算的 旁路开关实现方案



两个开关只要一个闭合
灯泡则是灭的

两个输入只要一个是逻辑**1**
输出就是逻辑**0**

$$Z = \overline{A+B}$$

只有两个开关都断开
灯泡才是亮的

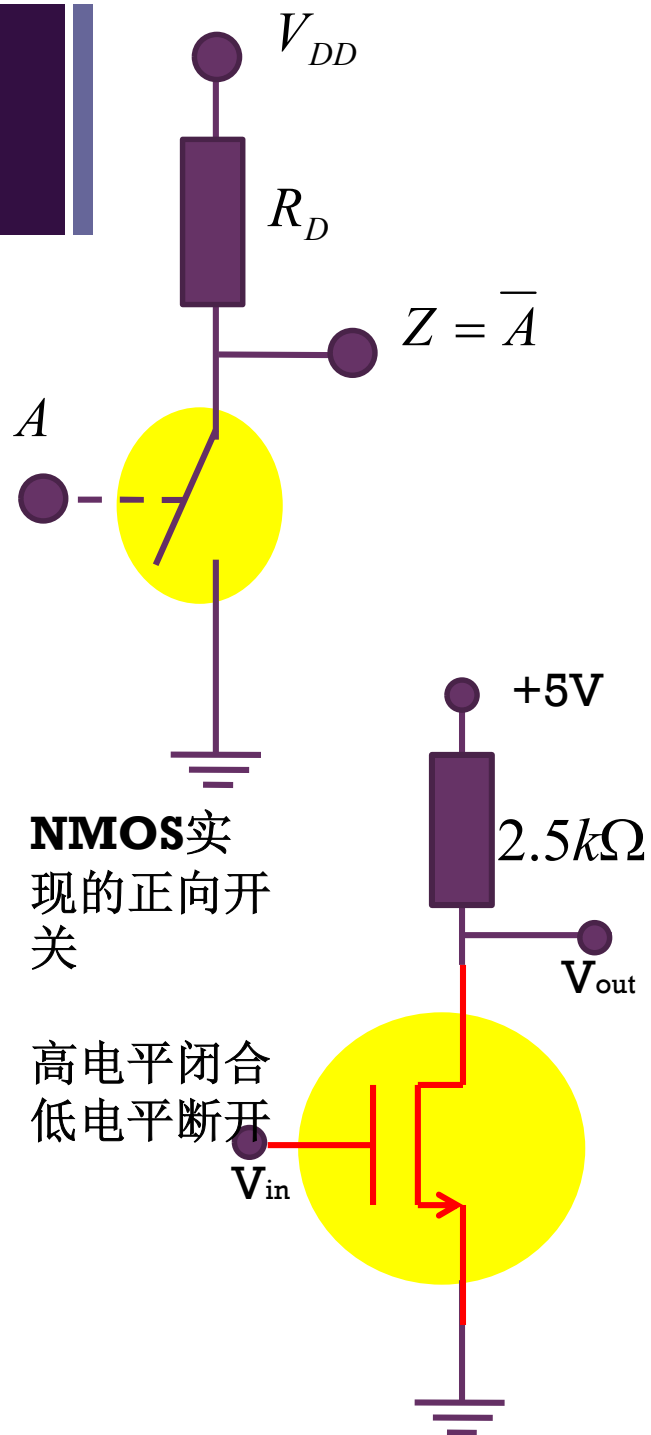
只有两个输入都是逻辑**0**
输出才是逻辑**1**

$$Z = \overline{A} \cdot \overline{B}$$

A	B	$\overline{A+B}$
0	0	1
0	1	0
1	0	0
1	1	0

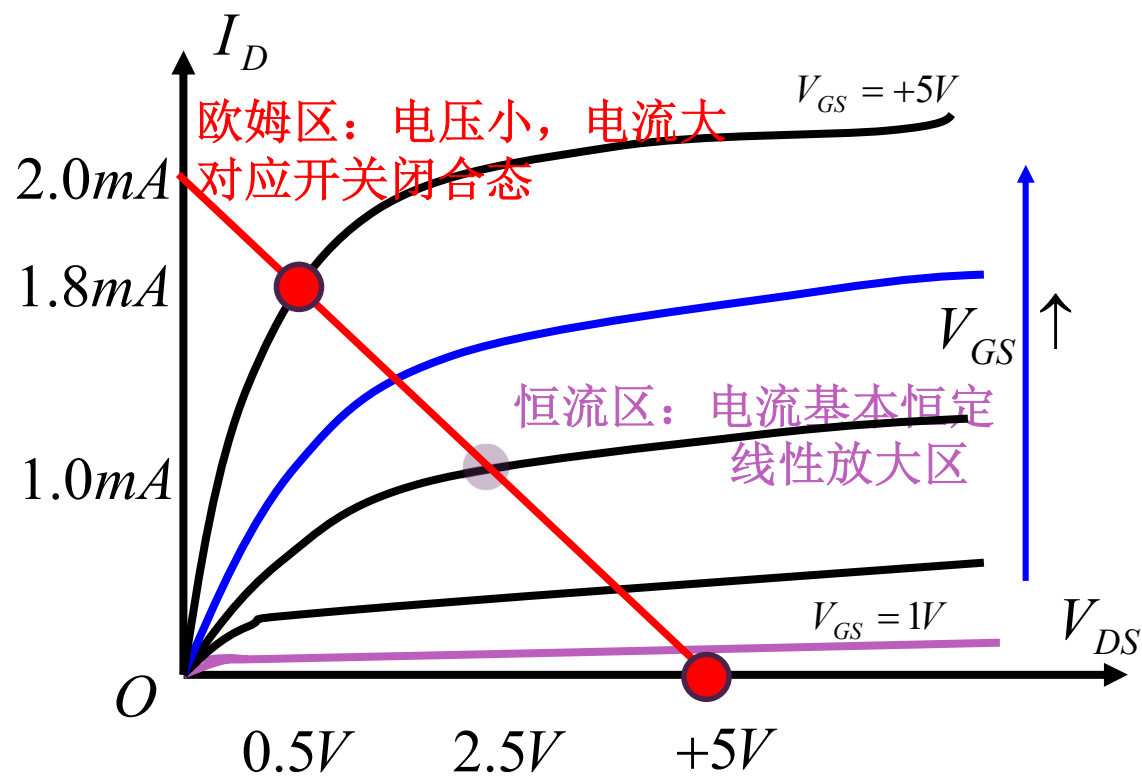
开关的电路实现

- 机械开关不适宜自动控制
- BJT有‘饱和导通态’和‘截止态’对应于开关的‘闭合态’和‘断开态’
- MOSFET有‘欧姆导通区’和‘截止区’对应于开关的‘闭合’和‘断开’
- 用晶体管实现开关是自然的选择

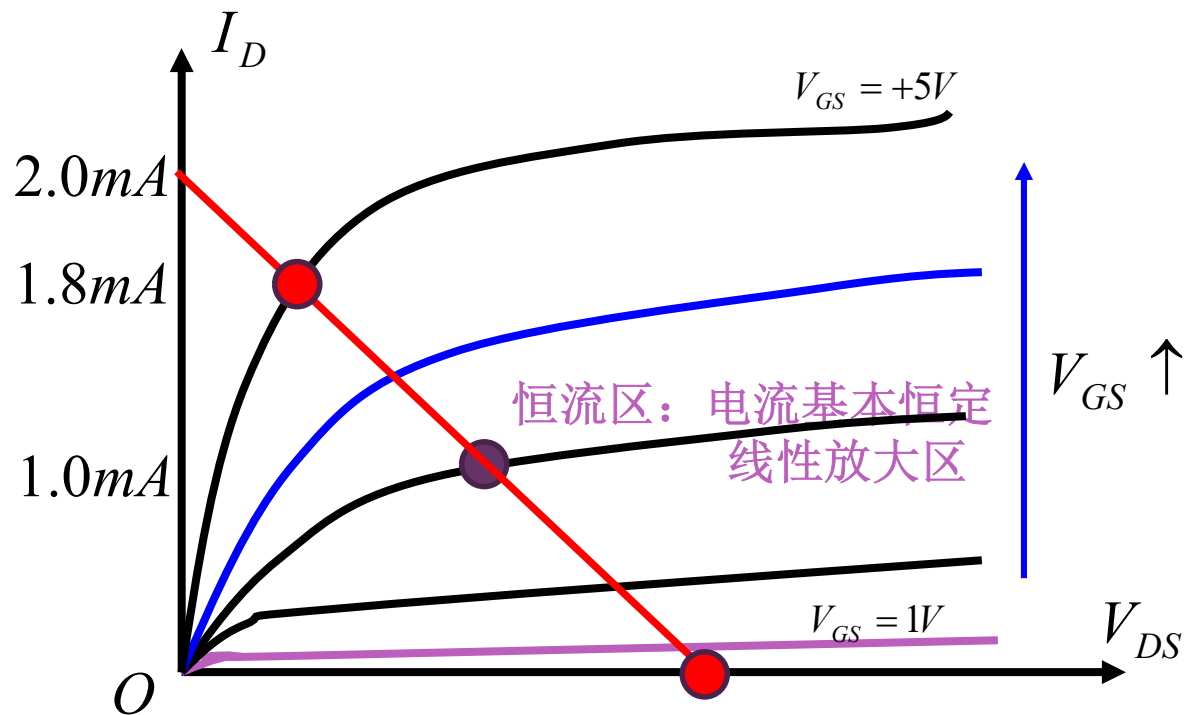
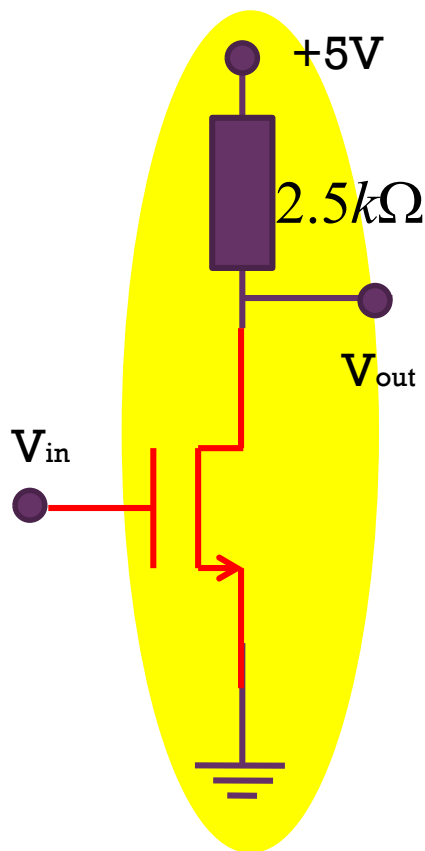


MOSFET开关

$$V_{out} = \begin{cases} +5V & \text{逻辑1: } V_{in} = \text{低电平(逻辑0)} \\ 0.5V & \text{逻辑0: } V_{in} = \text{高电平(逻辑1)} \end{cases}$$



功耗问题

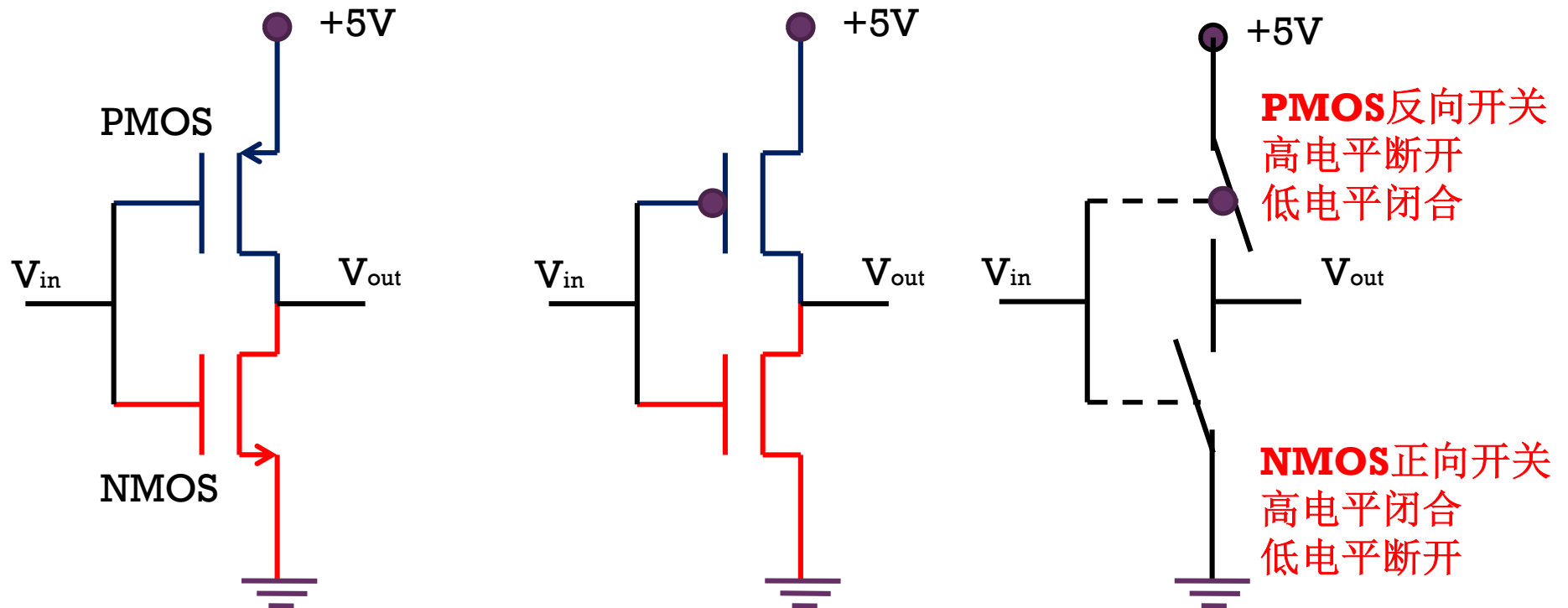


暂不考虑外接负载影响，输出悬空，外接负载为无穷大
 开关断开时，晶体管截止，无电流，非门无功耗
 开关闭合时，晶体管饱和导通，有大电流流过偏置电阻

$$P_{DC} = V_{DD} I_{DC} = 5V \times 1.8mA = 9mW$$

CMOS非门

Complementary MOS



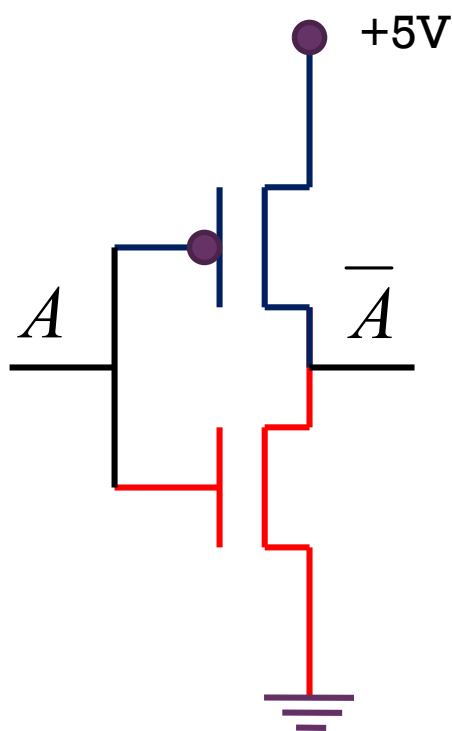
如果开关是理想的：导通 $U=0$ ，关断 $I=0$ ：无论导通或关断， $P=UI=0$

实际MOS开关并不十分理想，但足够接近理想开关，其静态功耗极低

CMOS门电路

PMOS逻辑与NMOS逻辑输出可点接：端口并联

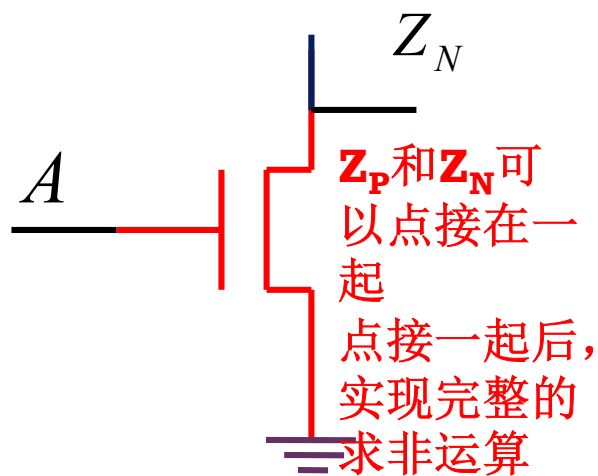
两个逻辑输出可点接并联的前提条件：输出完全一致或一个输出是悬空的



CMOS NOT Gate

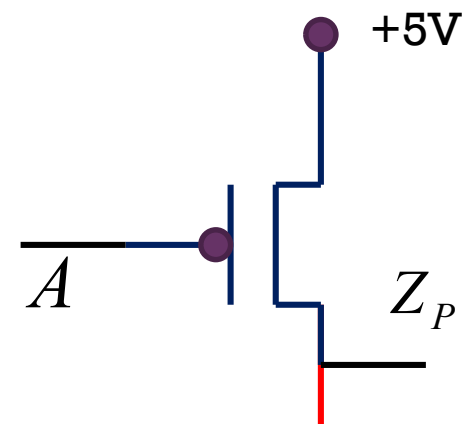
PMOS和NMOS，一个饱和导通时另一个截止，消耗功率很小

$$Z_N = \begin{cases} \text{悬浮高阻态} & A = 0 \\ 0 = \bar{A} & A = 1 \end{cases}$$



NMOS正向开关旁路

输入高电平时，输出低电平，求非
输入低电平时，输出悬空



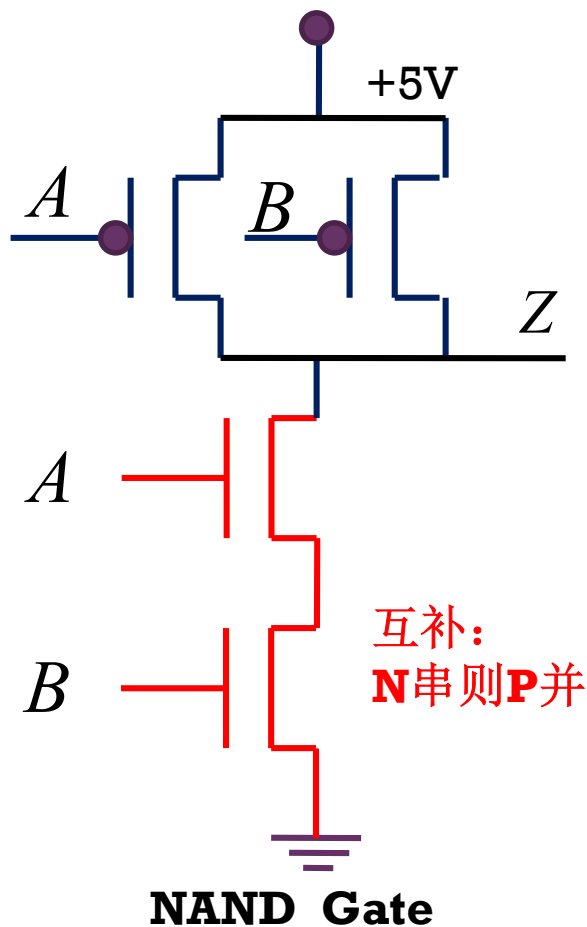
$$Z_P = \begin{cases} 1 = \bar{A} & A = 0 \\ \text{悬浮高阻态} & A = 1 \end{cases}$$

PMOS反向开关

输入低电平时，输出高电平，求非
输入高电平时，输出悬空

CMOS与非门

相同逻辑符号表明它们连在一起，免除连线过多头晕



$$Z_P = \begin{cases} \text{悬浮高阻态} & A \cdot B = 1 \\ \overline{A + B} = 1 = \overline{A \cdot B} & A \cdot B = 0 \end{cases}$$

开关并联或运算，反向开关先求非

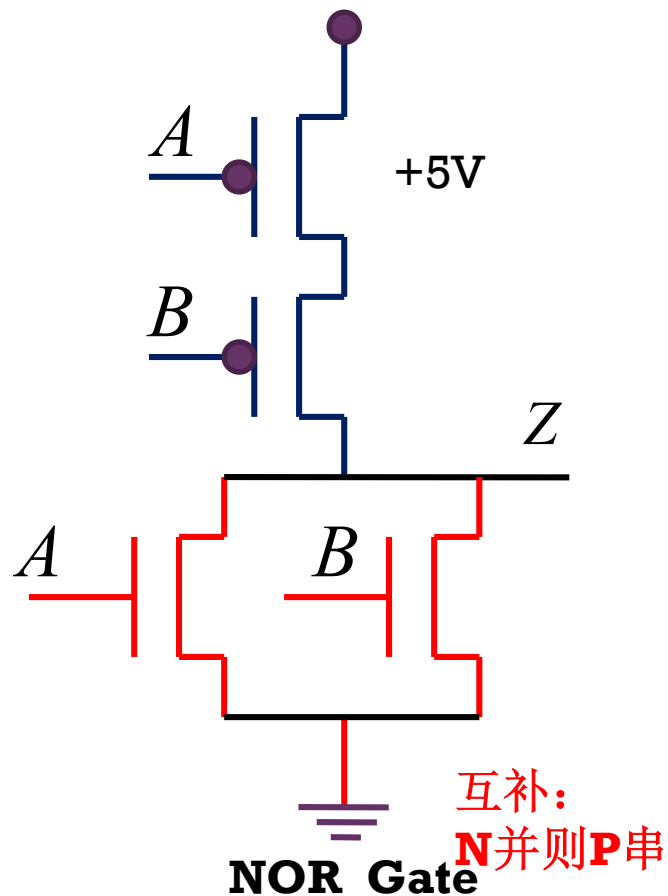
$$Z_N = \begin{cases} \overline{A \cdot B} = 0 & A \cdot B = 1 \\ \text{悬浮高阻态} & A \cdot B = 0 \end{cases}$$

开关串联与运算，旁路开关后求非

$$Z = Z_P \text{ 并 } Z_N = \overline{A \cdot B} = \overline{A} + \overline{B}$$

悬空如弃权默认，由并联电压决定最终逻辑输出

CMOS或非门



$$Z_P = \begin{cases} \overline{A \cdot B} = 1 = \overline{A + B} & A + B = 0 \\ \text{悬浮高阻态} & A + B = 1 \end{cases}$$

开关串联与运算，反向开关先求非

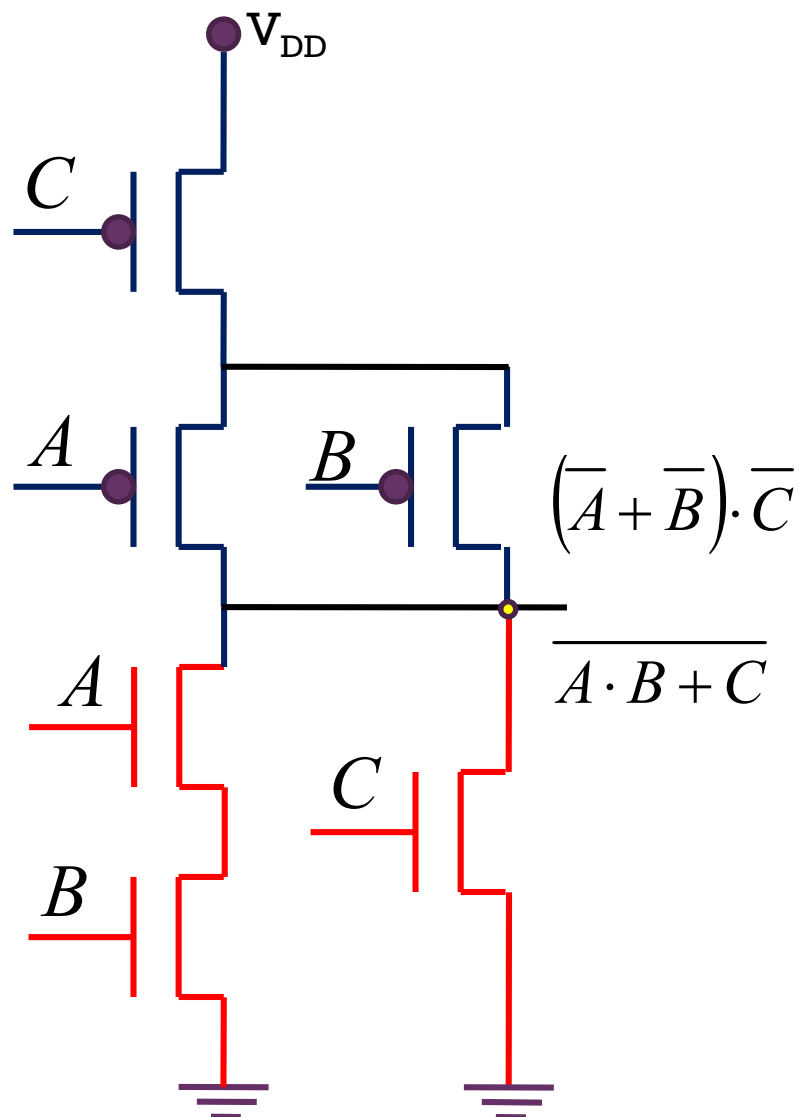
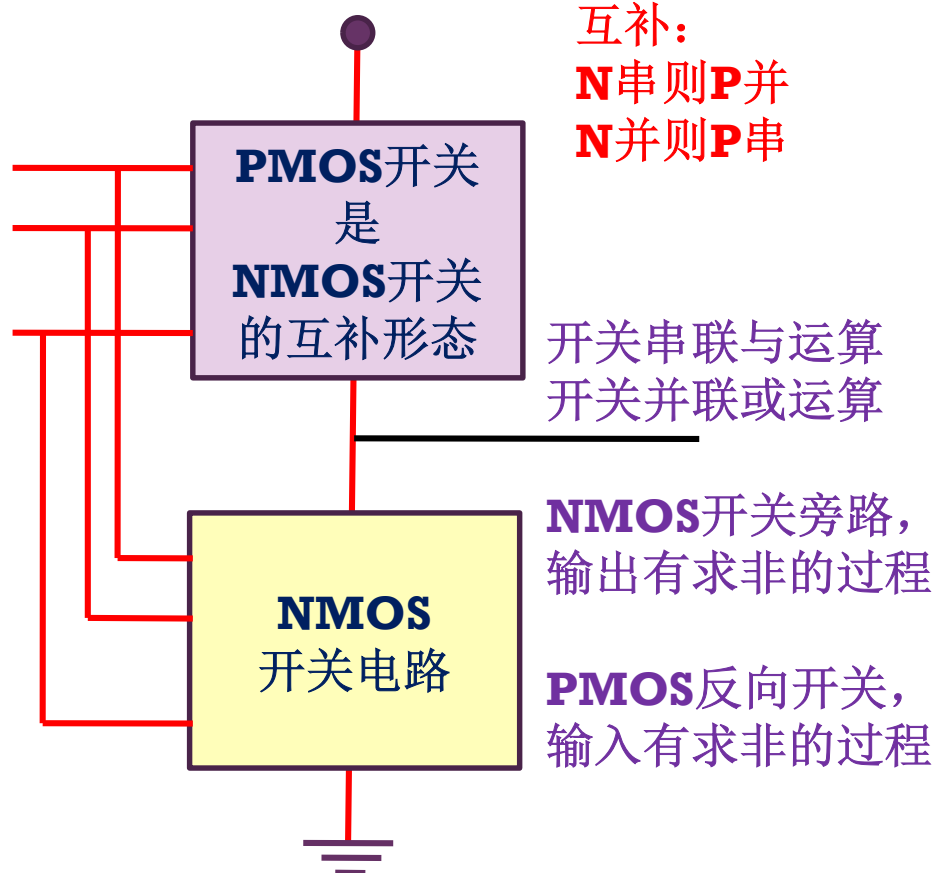
$$Z_N = \begin{cases} \text{悬浮高阻态} & A + B = 0 \\ \overline{A + B} = 0 & A + B = 1 \end{cases}$$

开关并联或运算，旁路开关后求非

$$Z = Z_P \text{ 并 } Z_N = \overline{A + B} = \overline{A} \cdot \overline{B}$$

悬空如弃权默认，由并联电压决定最终逻辑输出

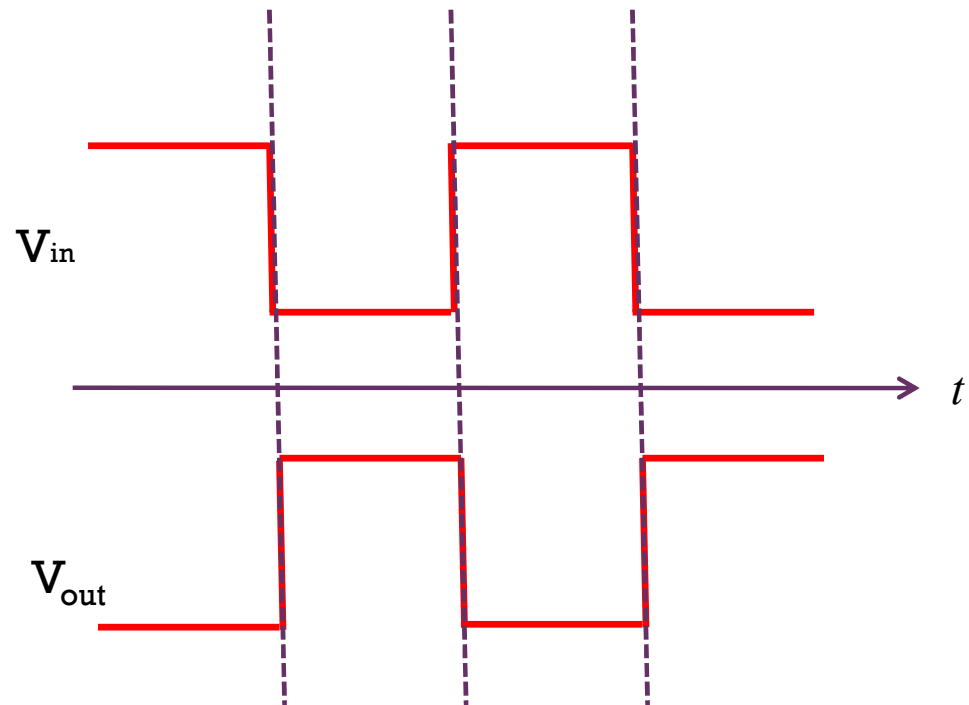
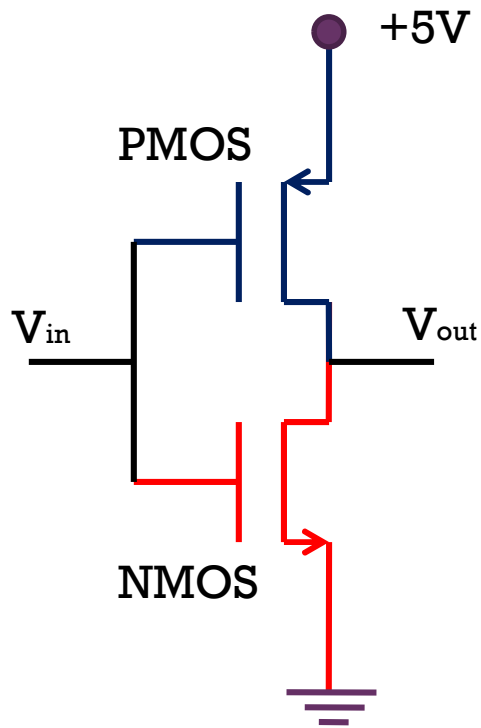
CMOS门电路的一般框架



注意：上P下N保共源组态，晶体管不能随意调换位置

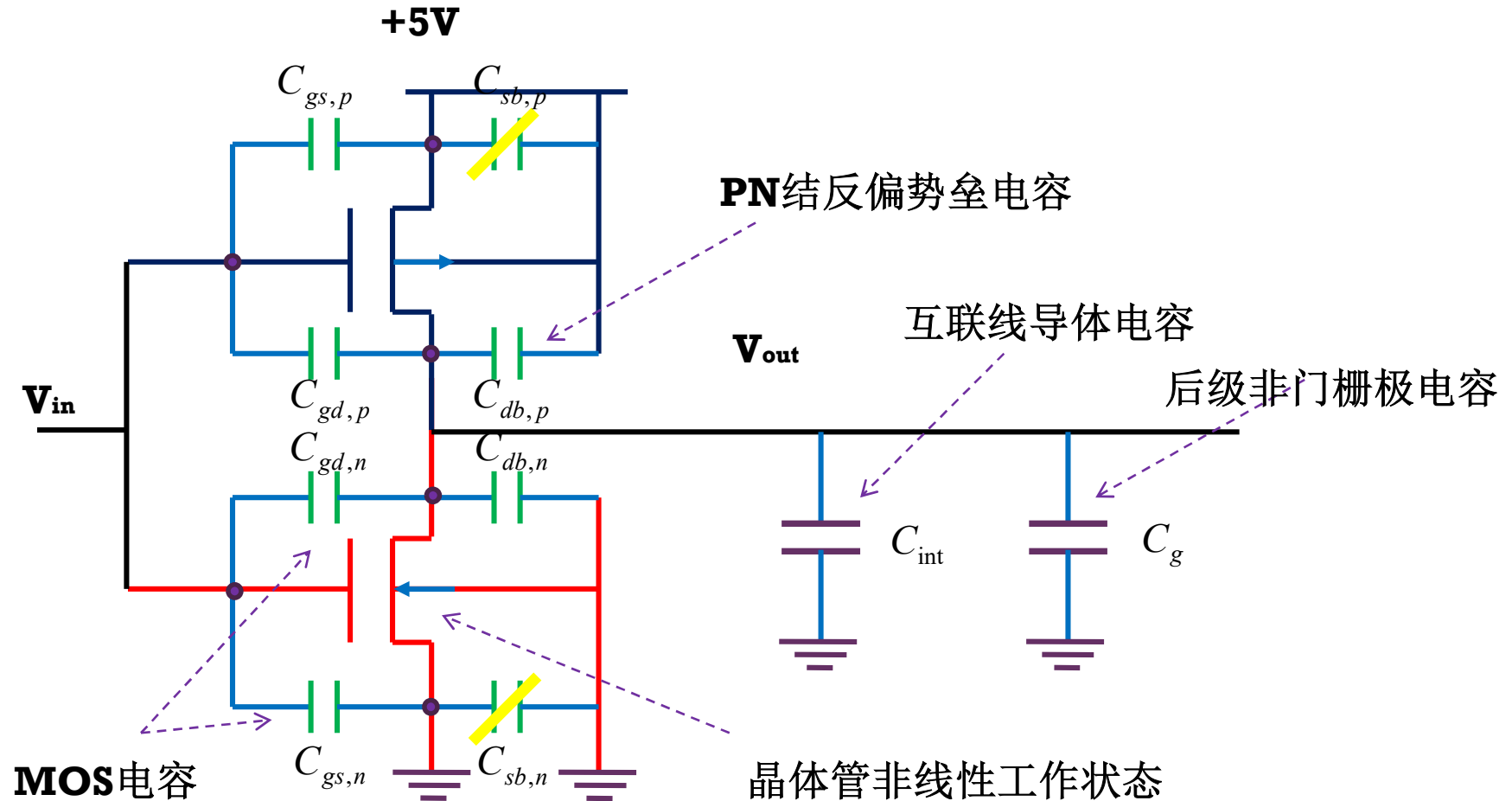
三、门电路的动态效应

- 前述CMOS门电路的分析是静态分析，属电阻电路分析，假设输出对输入响应是即时响应
 - 其实是低频分析，没有考虑真实电路的寄生效应

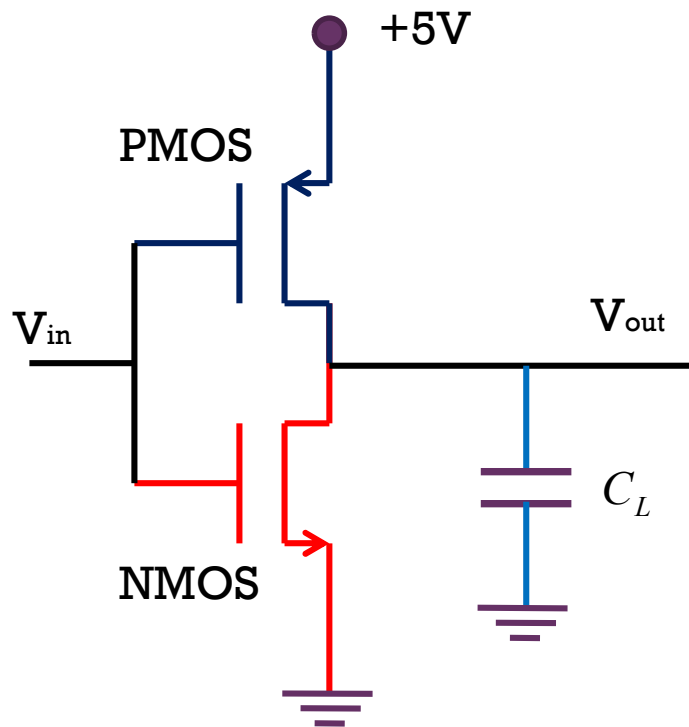


理想反相器：即时反相：输出是当前输入的反相

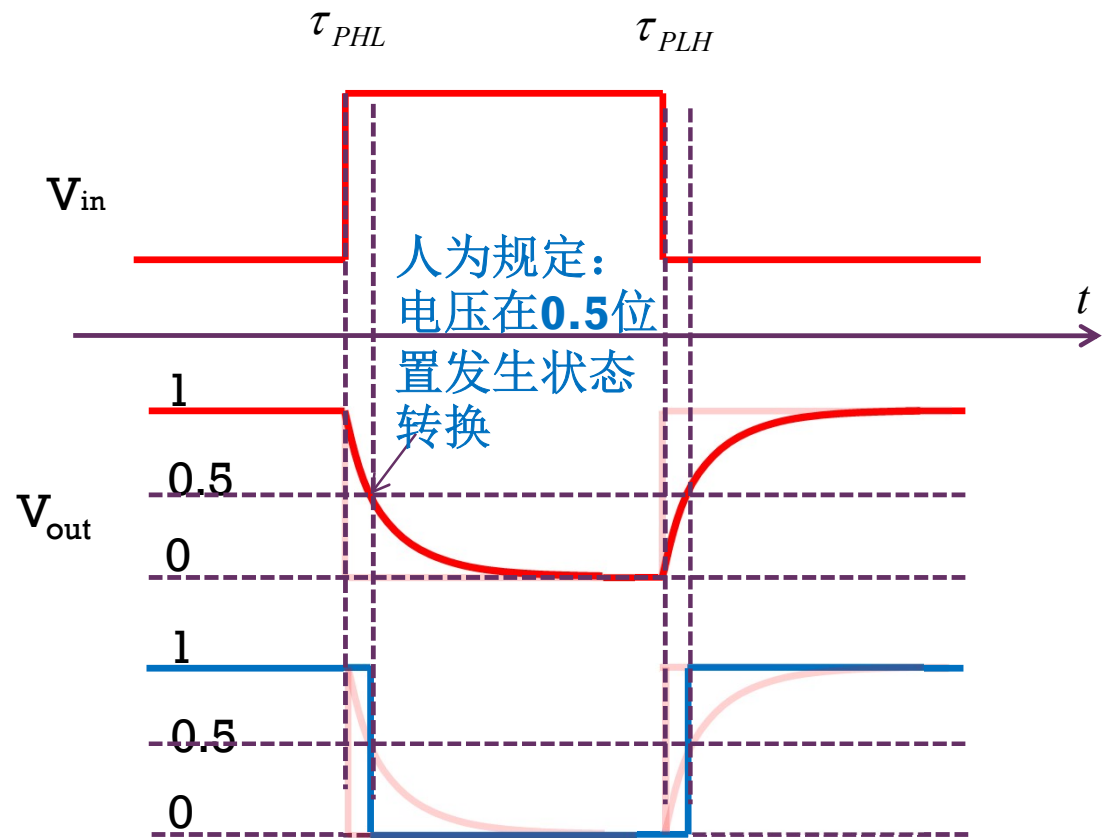
真实门电路性能分析必须考虑寄生电容效应



寄生电容将导致响应延时（非即时响应）



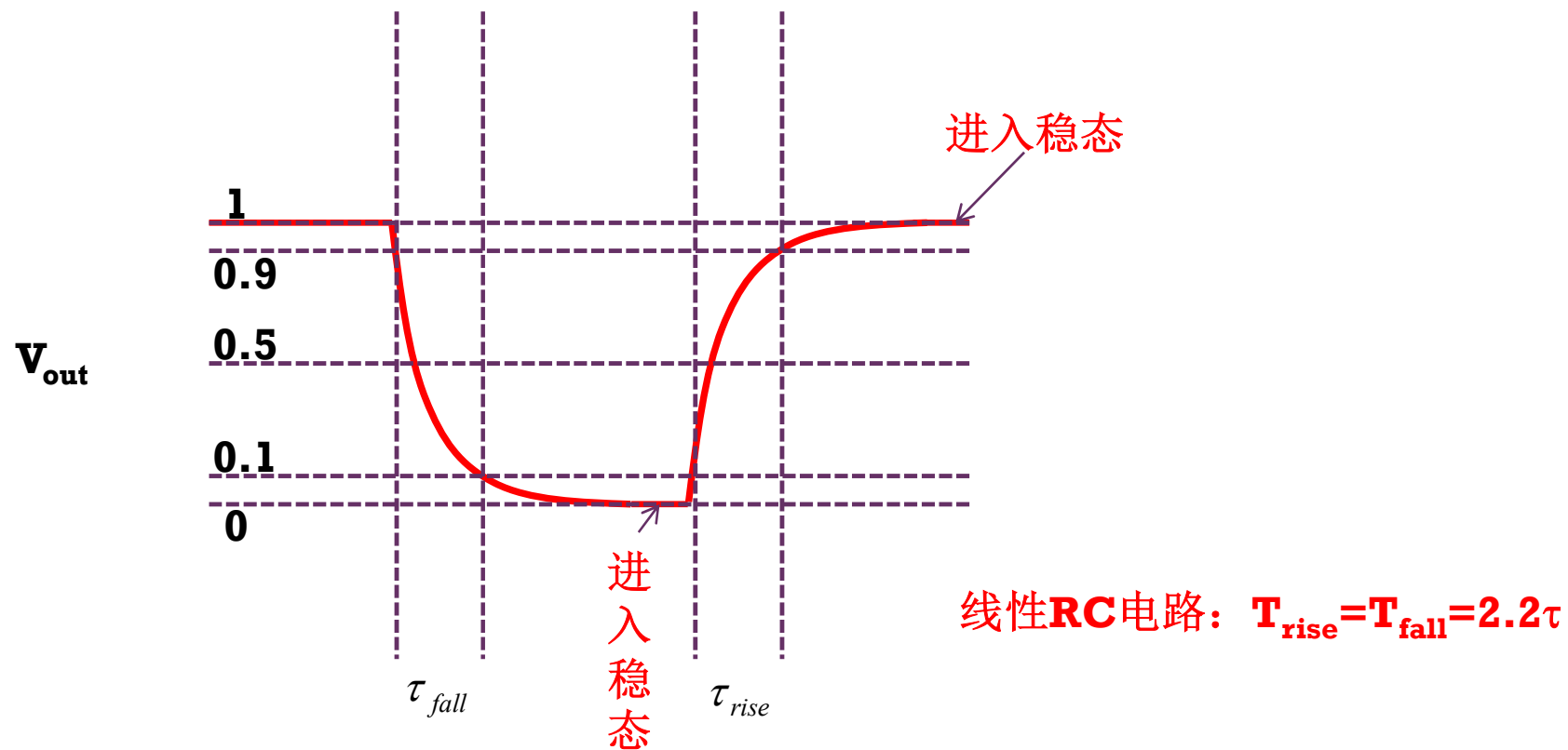
为了简化分析：假设反相门后面有一个负载电容，它是所有寄生电容综合影响的等效电容



$$\tau_p = \frac{\tau_{PLH} + \tau_{PHL}}{2}$$

阶跃/方波信号通过反相器的延时

上升沿和下降沿



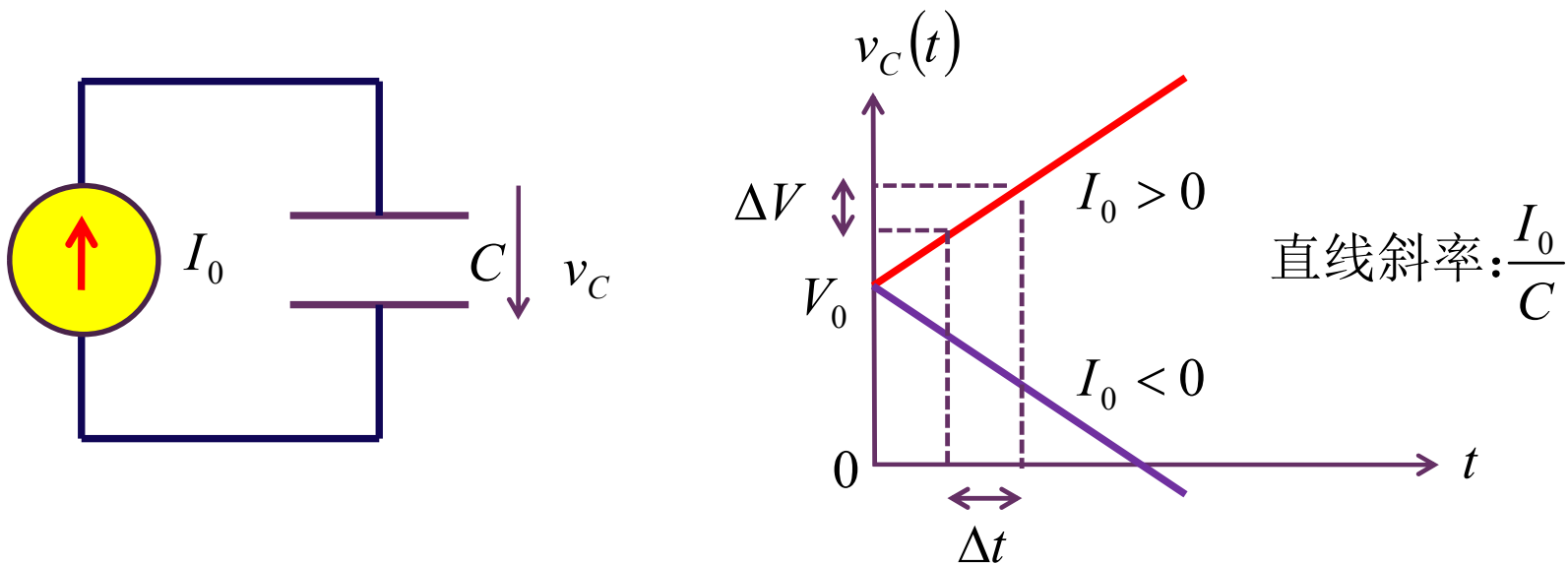
一般以幅度变化**10%-90%**之间所占时间定义为上升沿时间和下降沿时间

门电路延时估计

线性RC:
上升沿时间 $T_r=2.2\tau$
传播延时 $T_p=0.69\tau$

- 反相器在工作时，晶体管是非线性电阻，因而不能用线性RC电路估算时间参量
 - 晶体管沟道是非线性电阻：从截止到恒流到欧姆导通
 - 等效电容是非线性电容：MOS电容、势垒电容、…
- 为了能够估算出延时、上升沿时间等时间参量，我们假设在状态转换期间，构成反相器的晶体管以恒定电流对电容充放电
 - 这个恒定电流为平均电流，同时假设电容是线性时不变的
 - 原理性分析，可以做极端的抽象，获得足够说明问题的解析表达式，用于指导电路设计
 - 可以解决部分问题但非全部问题，但原理性分析足够用了

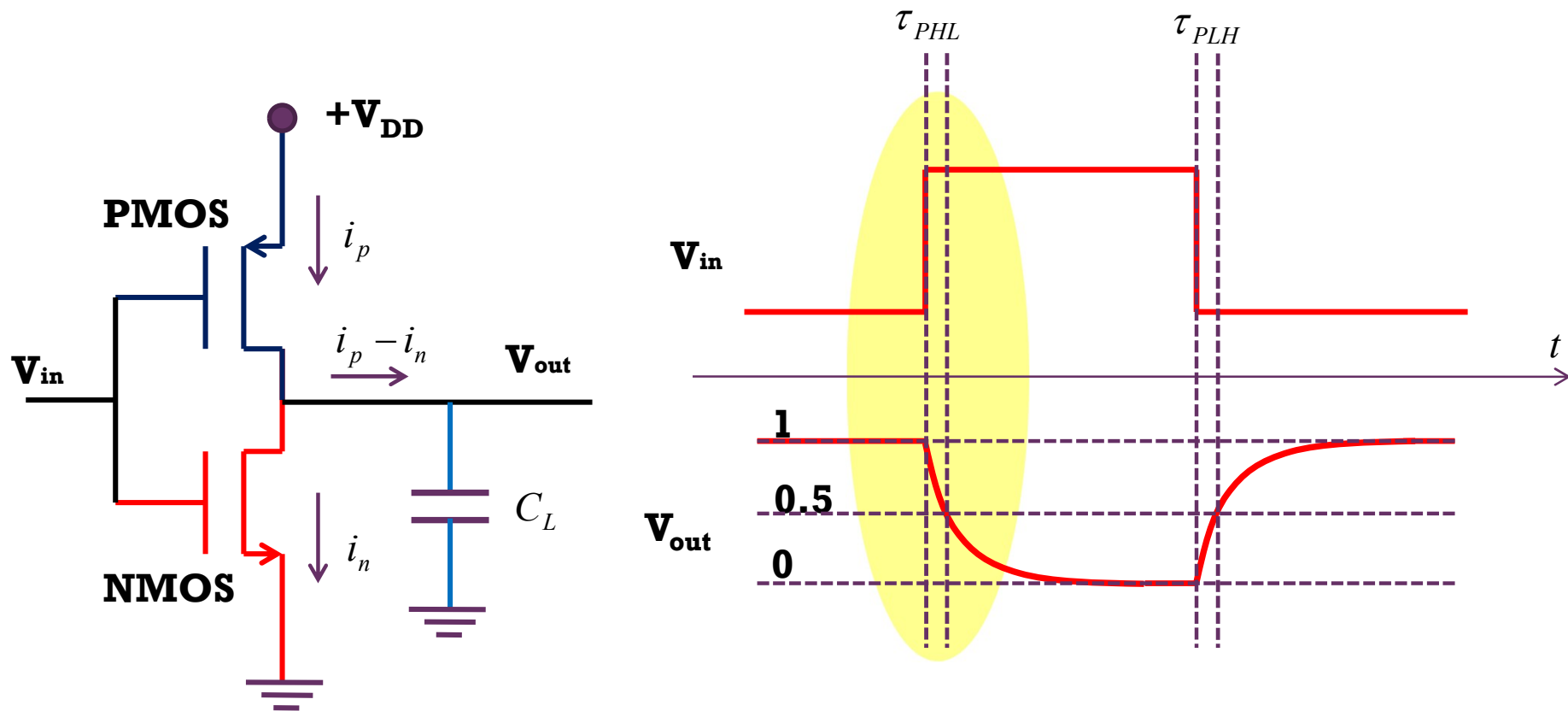
假设恒流充电，就是假设电容电压线性变化



$$v_C(t) = V_0 + \frac{1}{C} \int_0^t I_0 \cdot dt = V_0 + \frac{I_0}{C} t$$

$$\Delta t = \frac{\Delta Q}{I_0} = \frac{C}{I_0} \Delta V$$

输出逻辑从1到0的转换

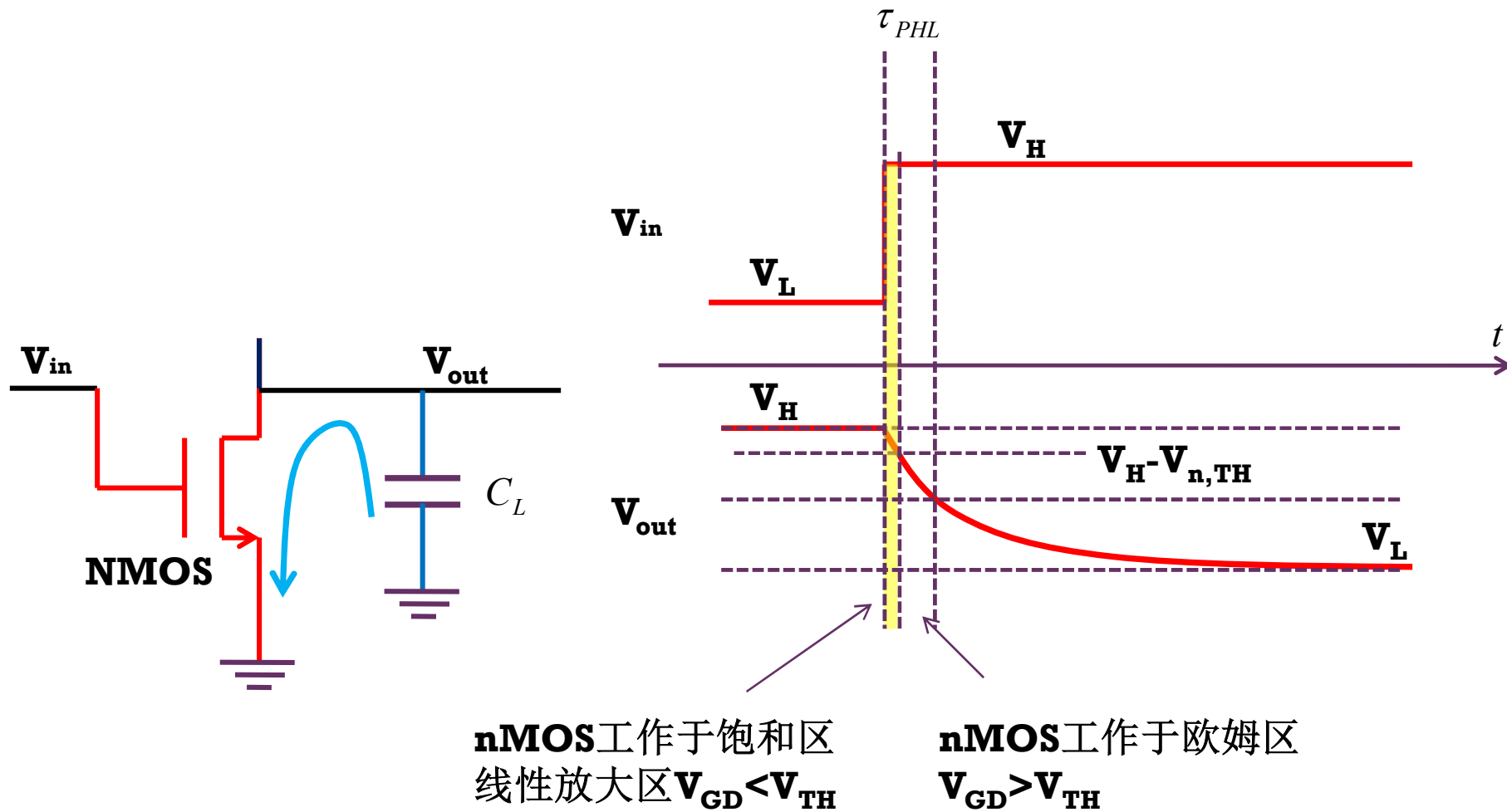


对电容充放电的电流大小为: $I_0 = I_p - I_n$

在电容放电过程中, **nMOS** 启动导通进行放电, **pMOS** 关断
假设: **pMOS** 电流为零, 因而放电电流全部由 **nMOS** 决定

两段放电

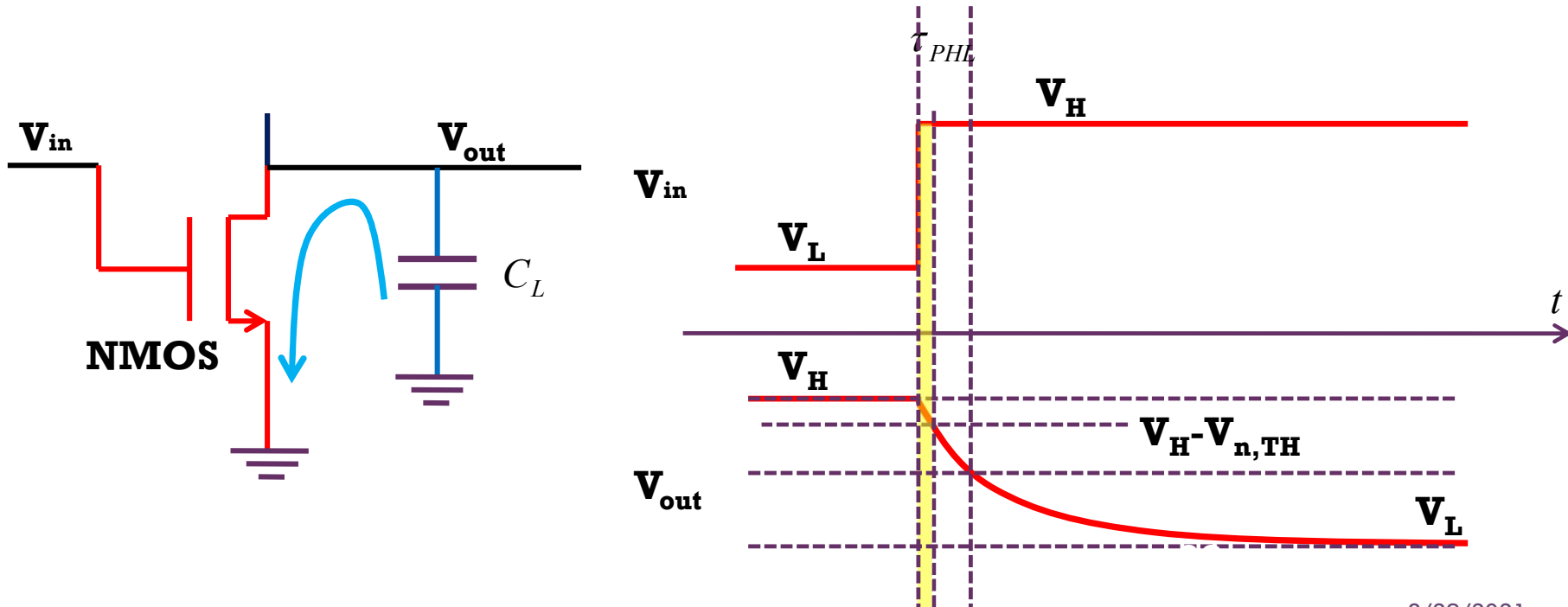
恒流放电和欧姆放电



恒流放电

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS,n} - V_{TH,n})^2 = \frac{1}{2} k_n (V_{in} - V_{TH,n})^2 = \frac{1}{2} k_n (V_H - V_{TH,n})^2$$

$$\tau_1 = \frac{C}{I_0} \Delta V_1 = \frac{C}{\frac{1}{2} k_n (V_H - V_{TH,n})^2} V_{TH,n} = \frac{2CV_{TH,n}}{k_n (V_H - V_{TH,n})^2}$$



欧姆放电：假设恒流放电 平均电流近似估计

$$I_D = \frac{1}{2} k_n (2(V_{GS} - V_{TH,n})V_{DS} - V_{DS}^2) = \frac{1}{2} k_n (2(V_H - V_{TH,n})V_{out} - V_{out}^2)$$

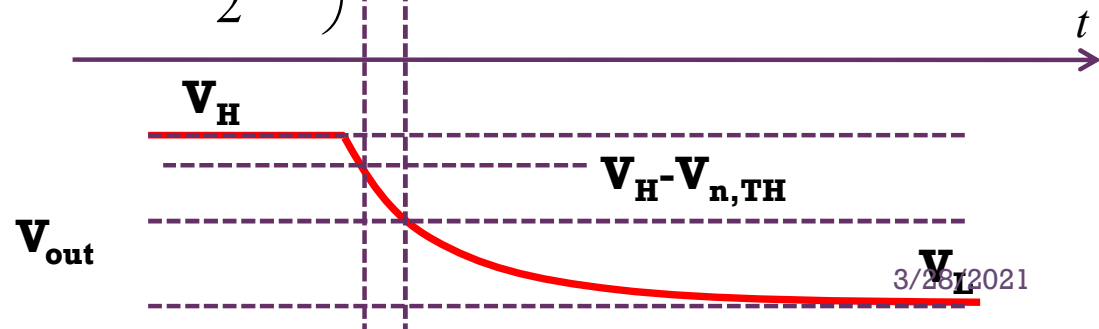
$$I_D(V_{out} = V_H - V_{TH,n}) = \frac{1}{2} k_n (V_H - V_{TH,n})^2$$

$$I_D\left(V_{out} = \frac{V_H + V_L}{2}\right) = \frac{1}{2} k_n \left(2(V_H - V_{TH,n}) \frac{V_H + V_L}{2} - \left(\frac{V_H + V_L}{2}\right)^2 \right)$$

$$\overline{I_D} = \frac{1}{4} k_n \left[\left(V_H - V_{TH,n} + (V_H + V_L) \frac{1 + \sqrt{2}}{2} \right) \left(V_H - V_{TH,n} + (V_H + V_L) \frac{1 - \sqrt{2}}{2} \right) \right]$$

$$\tau_2 = \frac{C}{I_0} \Delta V_2 = \frac{C}{I_D} \left((V_H - V_{TH,n}) - \frac{V_H + V_L}{2} \right)$$

$$\tau_{PHL} = \tau_1 + \tau_2$$



下降延时

$$C = 300 \text{ fF}$$

$$V_{DD} = 3.3 \text{ V}$$

$$V_{TH,n} = 0.8 \text{ V}$$

$$k_n = \mu_n C_{ox} \frac{W}{L} = 640 \mu\text{A}/\text{V}^2$$

$$\tau_1 = \frac{2CV_{TH,n}}{k_n(V_H - V_{TH,n})^2} = \frac{2CV_{TH,n}}{k_n(V_{DD} - V_{TH,n})^2} = 120 \text{ ps}$$

$$V_H = V_{DD} = 3.3 \text{ V}$$

$$V_L = \text{GND} = 0 \text{ V}$$

$$\tau_2 = \frac{4C \left((V_H - V_{TH,n}) - \frac{V_H + V_L}{2} \right)}{k_n \left[\left(V_H - V_{TH,n} + (V_H + V_L) \frac{1 + \sqrt{2}}{2} \right) \left(V_H - V_{TH,n} + (V_H + V_L) \frac{1 - \sqrt{2}}{2} \right) \right]}$$

$$= \frac{4C(0.5V_{DD} - V_{TH,n})}{k_n \left[(2.207V_{DD} - V_{TH,n})(0.793V_{DD} - V_{TH,n}) \right]}$$

$$= 135 \text{ ps}$$

这个估算结果虽然可能不精确，但不会有极大误差，毕竟假设具有相当的合理性，因而量级应该差不多，而且我们由此获得了降低延时的措施：

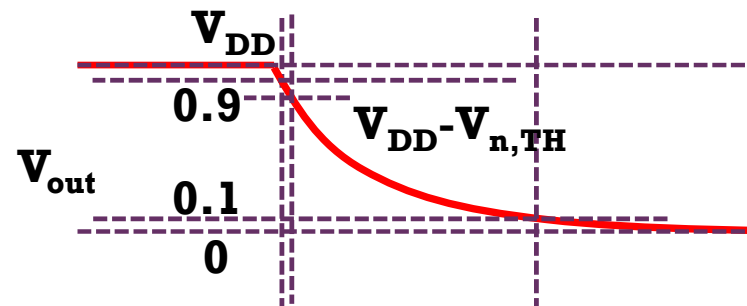
$$\tau_{PHL} = \tau_1 + \tau_2 = 120 + 135 = 255 \text{ ps}$$

降低寄生电容量，降低阈值电压，提高电源电压

下降沿时间

$$\tau_1 = \frac{C}{I_0} \Delta V_1 = \frac{C}{\frac{1}{2} k_n (V_{DD} - V_{TH,n})^2} (V_{DD} * 0.9 - (V_{DD} - V_{TH,n}))$$

$$= \frac{2C}{k_n (V_{DD} - V_{TH,n})^2} (V_{TH,n} - V_{DD} * 0.1) = 70.5 ps$$



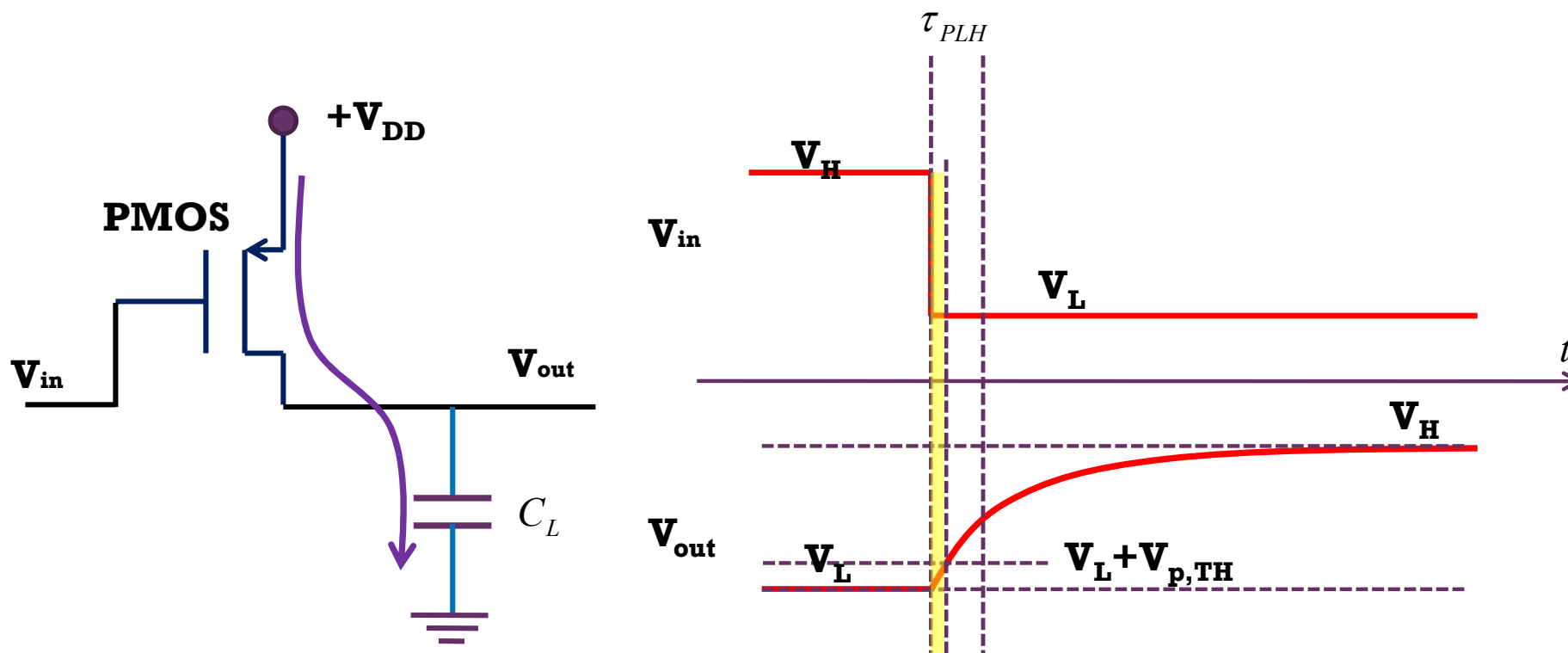
$$\tau_2 = \frac{C}{I_0} \Delta V_2 = \frac{2C((V_{DD} - V_{TH,n}) - 0.1V_{DD})}{\frac{1}{2} k_n (V_{DD} - V_{TH,n})^2 + \frac{1}{2} k_n (2(V_{DD} - V_{TH,n})0.1V_{DD} - (0.1V_{DD})^2)}$$

$$= \frac{1}{k_n} \frac{4C(0.9V_{DD} - V_{TH,n})}{(1.241V_{DD} - V_{TH,n})(0.959V_{DD} - V_{TH,n})} = 522.1 ps$$

$$\tau_{fall} = \tau_1 + \tau_2 = 70.5 + 522.1 = 593 ps$$

输出逻辑0到1的转换分析

上升延时: τ_{PLH} 上升沿时间: T_{rise}



留作练习题，或者看教材分析

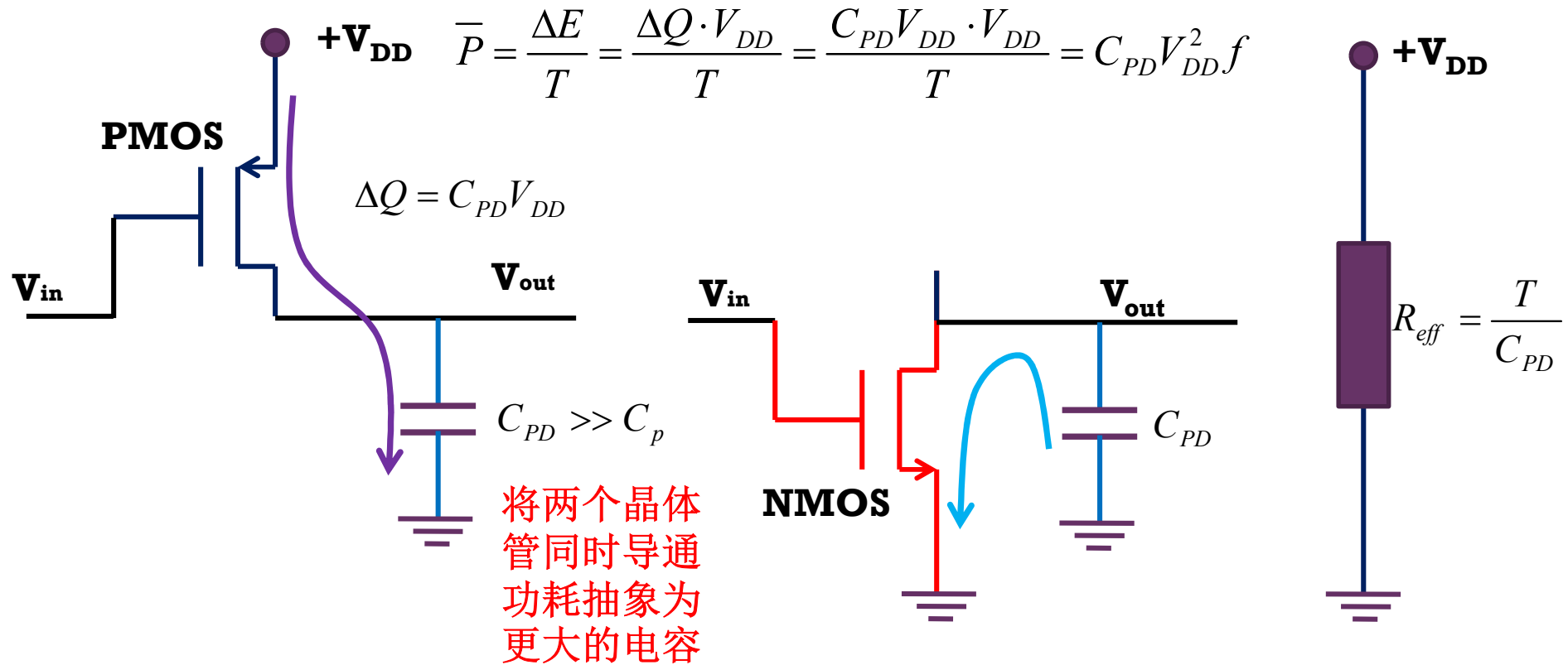
数字门电路延时的基本结论

- 由于寄生电容的存在，导致数字门电路不能对输入的状态转换做出即时响应，需要一个延时才能做出正常的反相求非功能
- 原因是电容充放电需要时间，如果希望延时足够小，则需提高电源电压，尽量降低两个门电路之间的等效电容量大小，降低晶体管阈值电压
 - 等效电容来自晶体管寄生电容和门互连线寄生电容
 - 调整衬底掺杂浓度可调整阈值电压
 - 过小的阈值电压将降低数字门电路的抗干扰能力

电容充放电导致的动态功耗

- CMOS数字门电路，由于晶体管等效为开关，因而静态功耗极小
 - 几乎可以忽略不计
- 但是，由于寄生电容的存在，导致状态转换需要时间
 - 在上升沿时段，负载电容通过pMOS从电源抽取电荷，在下降沿时段，负载电容通过nMOS向地释放电荷
 - 一个周期内，有大量电荷通过电容的中转，从电源释放到了地，故而造成很大的动态功耗：**被晶体管非线性电阻消耗**
- 上升沿时间和下降沿时间导致PMOS和NMOS同时导通
 - 由于寄生电容存在，即使起始输入信号是理想跳变信号，经一级门电路后，其输出信号也就存在上升沿和下降沿，导致后一级门电路的PMOS和NMOS出现同时导通现象，双管同时导通功耗也是由于存在寄生电容而导致的，也被归并到动态功耗之中

动态功耗分析



$$\bar{I} = \frac{\Delta Q}{T} = \frac{C_{PD}}{T} V_{DD} = \frac{V_{DD}}{T/C_{PD}} = \frac{V_{DD}}{R_{eff}}$$

$$\bar{P} = \frac{V_{DD}^2}{R_{eff}} = \frac{1}{T} C_{PD} V_{DD}^2 = C_{PD} V_{DD}^2 f$$

数字门功耗的基本结论

- 为了降低数字门电路的功耗：
 - 数字门电路状态翻转频率应尽量减小
 - 具体实现技术在高年级学（门控时钟，编码技术，…）
 - 尽量采用低电源电压
 - 低功耗设计的最重要手段
 - 速度一定会下降，因为延时增加
 - 尽量降低负载电容
 - 通过降低晶体管尺寸实现
 - 降低互连线长度

$$\bar{P} = C_{PD} V_{DD}^2 f$$

$$\tau \approx \frac{4C_L}{k_n (\alpha V_{DD} - V_{TH})}$$

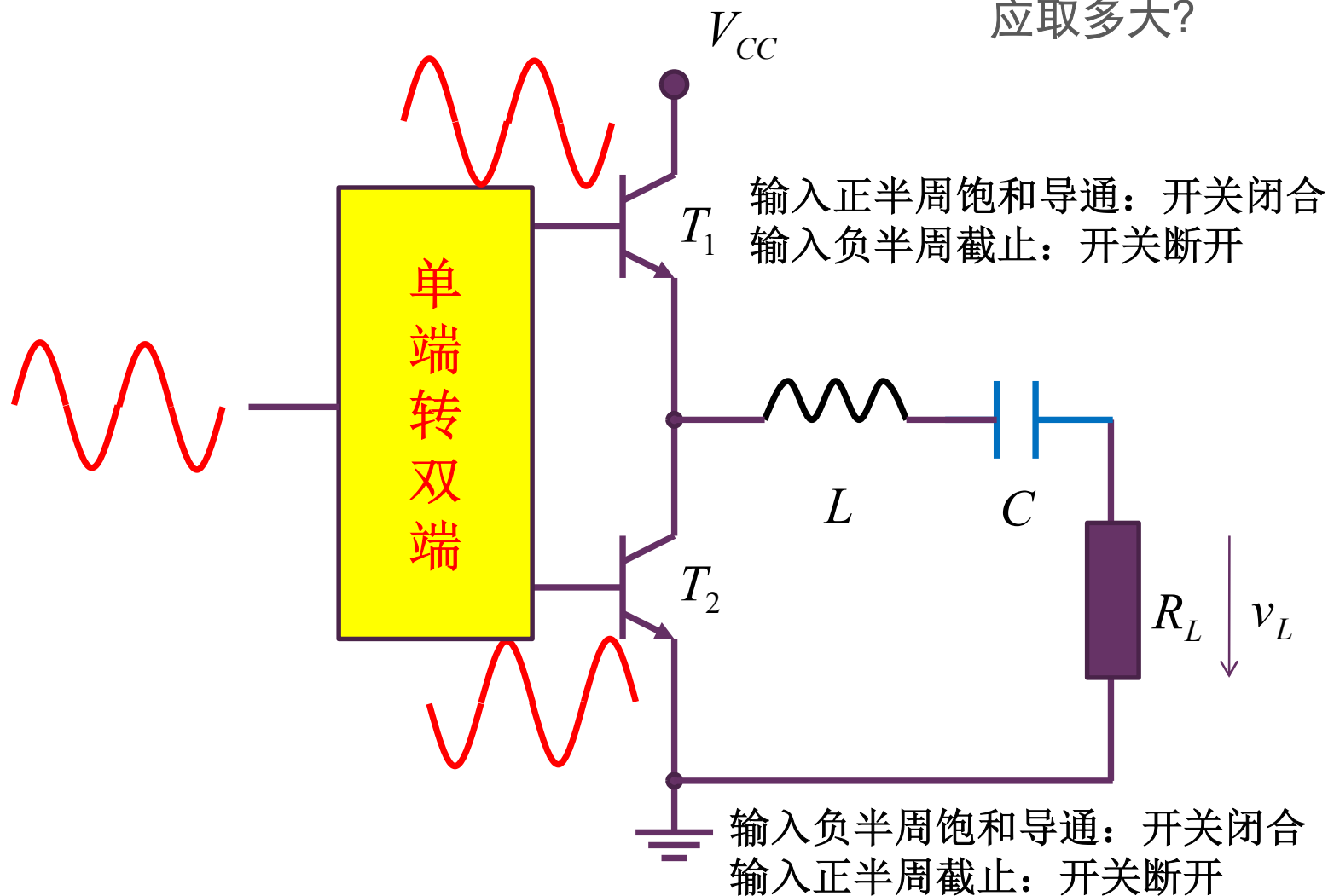
$$C_{PD} \propto C_L$$

小结

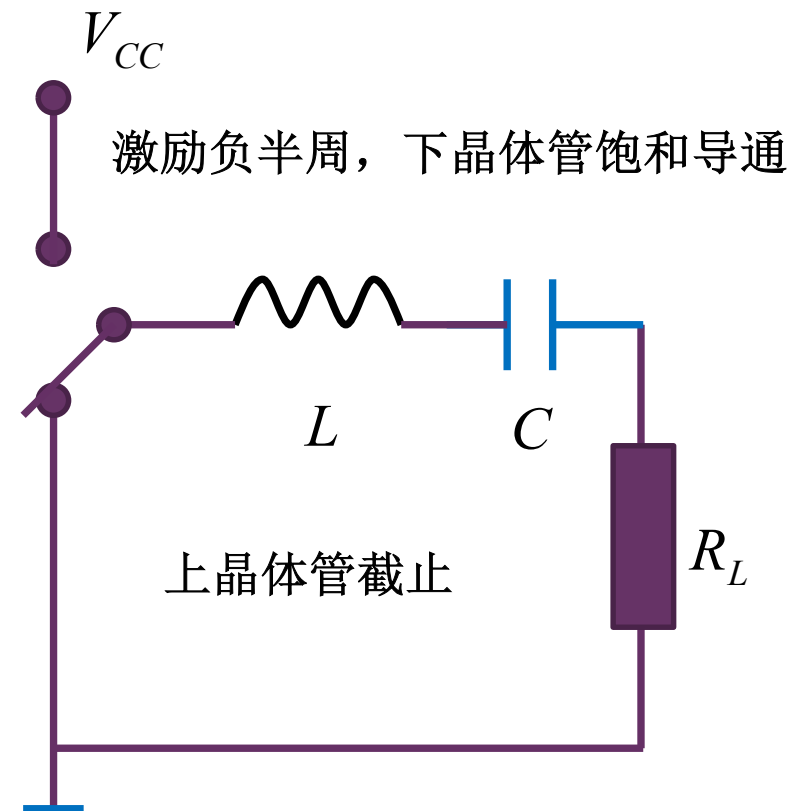
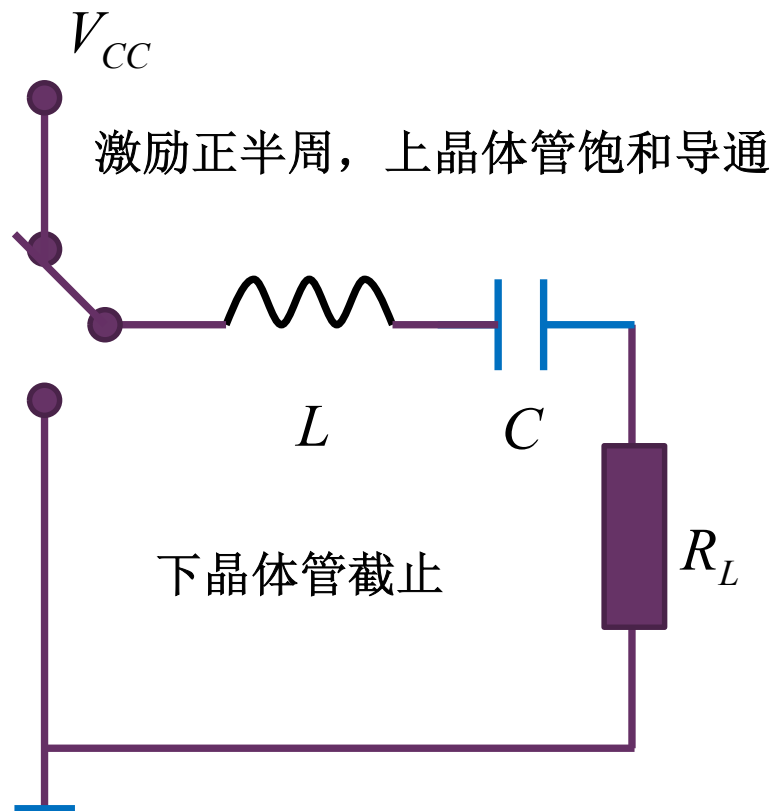
- 与、或、非是布尔二值逻辑的基本运算
- 真值表是逻辑运算结果的表格表述
 - 如果两个逻辑表达式的真值表一样，这两个表达式则等价
- 卡诺图是三输入、四输入逻辑运算化简的基本手段
- 二值逻辑运算可以通过开关通断实现
 - 旁路开关后求非，反相开关先求非
 - 开关并联或运算，开关串联与运算
- CMOS门电路的PMOS开关电路是NMOS开关电路的互补，是德摩根律的具体应用
 - N并则P串，N串则P并
 - 或非=非与，与非=非或
- 由于存在寄生电容效应，逻辑门电路的响应需要时间（存在延时），同时存在状态转换时的动态功耗
 - 降低延时可提高电源电压，但功耗会大幅提升
 - 降低晶体管尺寸（采用最先进工艺）降低寄生电容效应是降低延时和功耗的共同选择

作业选讲 D类逆变

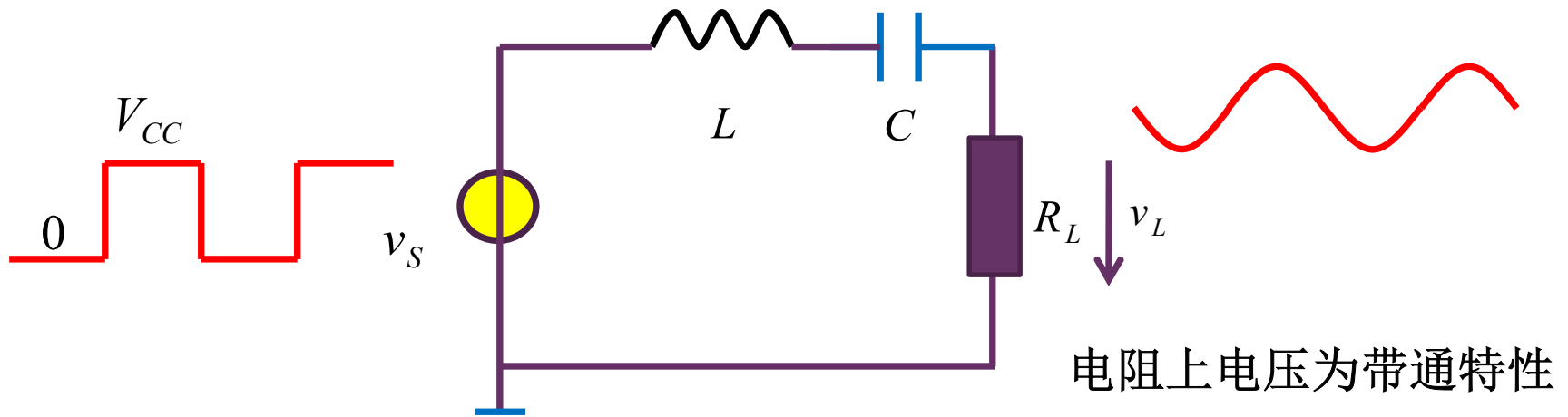
- 要想三次谐波分量低于基波分量40dB以上，谐振回路的Q值应取多大？



开关等效



等效为方波电压源驱动



$$\dot{V}_{out}(j\omega) = H(j\omega)\dot{V}_{in}(j\omega) = \frac{R}{j\omega L + \frac{1}{j\omega C} + R} \dot{V}_{in}(j\omega)$$

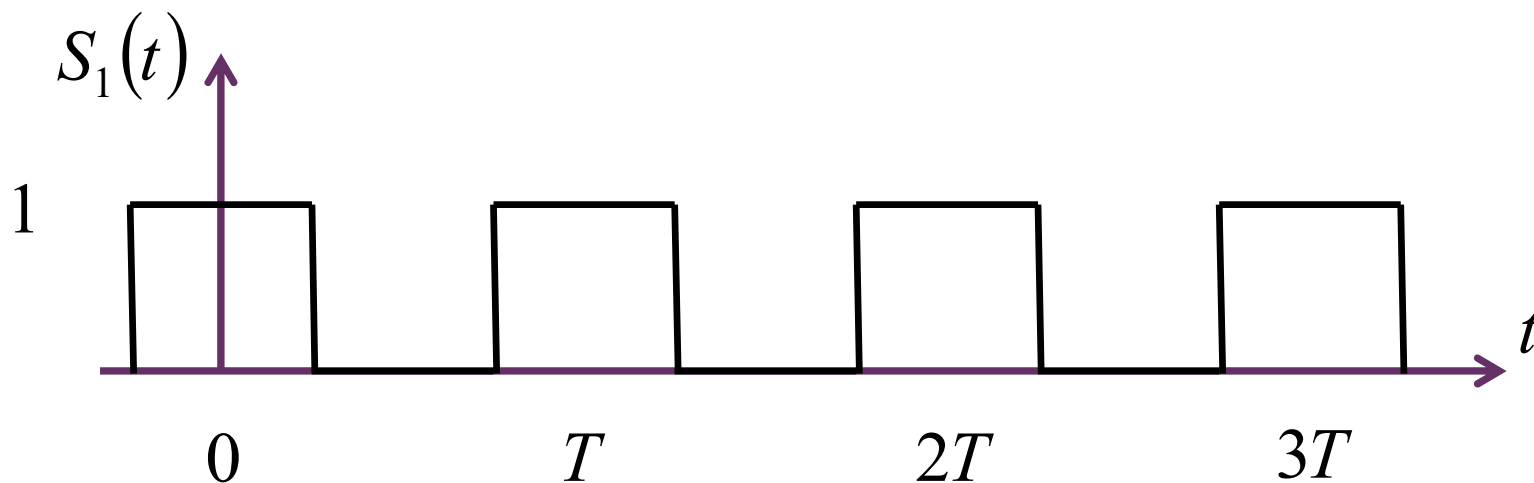
$$= \frac{\dot{V}_{in}(j\omega)}{1 + jQ\left(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega}\right)} = \frac{\dot{V}_{in}(j\omega)}{\sqrt{1 + Q^2\left(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega}\right)^2}} e^{-j\arctan Q\left(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega}\right)}$$

$$\omega_0 = \frac{1}{\sqrt{LC}}$$

$$Q = \frac{1}{R} \sqrt{\frac{L}{C}}$$

串联谐振

方波信号分析



$$S_1(t) = \frac{1}{2} + \frac{2}{\pi} \cos \omega_0 t - \frac{2}{3\pi} \cos 3\omega_0 t + \frac{2}{5\pi} \cos 5\omega_0 t - \dots$$

0/1方波信号中包含直流分量，基波分量，奇次谐波分量
(三次、五次、七次、...)

基波分量与三次谐波分量

$$\dot{V}_{out}(j\omega_0) = H(j\omega_0)\dot{V}_{in}(j\omega_0) = a_0 = \frac{2}{\pi}V_{CC} \quad \text{基波分量}$$

$$\dot{V}_{out}(j3\omega_0) = H(j3\omega_0)\dot{V}_{in}(j3\omega_0) = \frac{1}{\sqrt{1+Q^2\left(\frac{8}{3}\right)^2}} \times \left(-\frac{a_0}{3}\right)$$

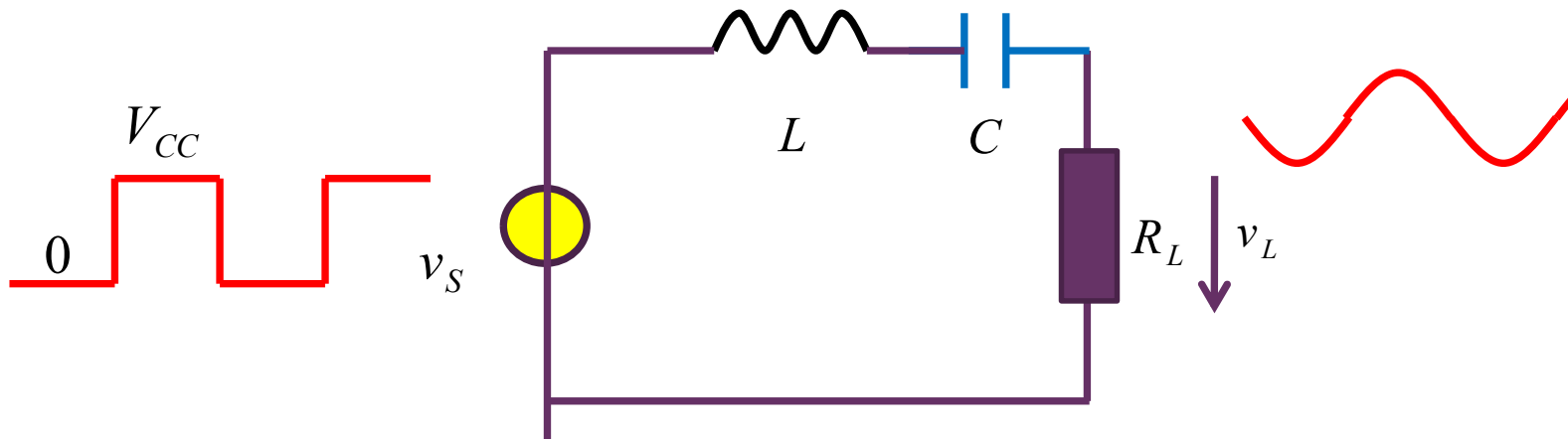
三次谐波分量

$$10\log\frac{P(3\omega_0)}{P(\omega_0)} = 20\log\frac{|\dot{V}_{out}(j3\omega_0)|}{|\dot{V}_{out}(j\omega_0)|} = 20\log\frac{\frac{a_0/3}{\sqrt{1+\left(\frac{8}{3}Q\right)^2}}}{a_0} \leq -40$$

输出三次谐波功率
比基波低**40dB**

$$\frac{1}{3\sqrt{1+\left(\frac{8}{3}Q\right)^2}} \leq \frac{1}{100} \quad \Rightarrow \quad Q \geq \frac{3}{8}\sqrt{\frac{10^4}{9}-1} = 12.49$$

D类逆变或D类放大



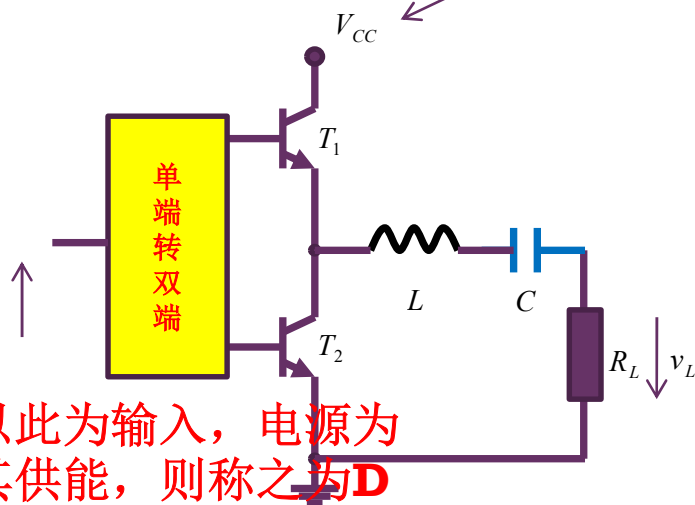
以此为输入，控制端控制开关状态，则称之为**D类逆变器**：将直流能量转换为交流能量

$$Q = \frac{1}{R} \sqrt{\frac{L}{C}} > 12.5$$

$$\omega_0 = \frac{1}{\sqrt{LC}} = 2\pi f_0 = 2\pi \frac{1}{T}$$

由此可以设计**L**、**C**值的大小？

用简单模型做原理性理解
更细致的分析见后续专业课程



以此为输入，电源为其供能，则称之为**D类放大器**：对输入正弦信号进行非线性的功率放大

作业1 加法器设计

$$\begin{array}{r}
 10110100 \\
 +11101101 \\
 \hline
 110100001
 \end{array}
 \qquad
 \begin{array}{r}
 180 \\
 +237 \\
 \hline
 417
 \end{array}$$

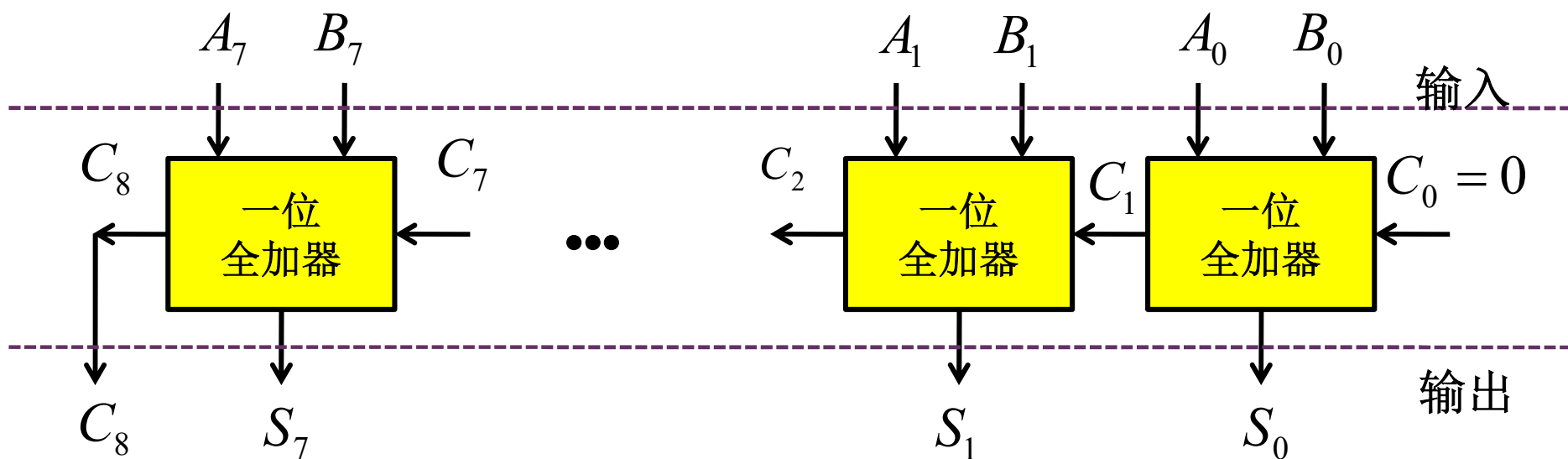
■ 二进制加法运算

	C_8	C_7	C_6	C_5	C_4	C_3	C_2	C_1	0
	0	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
+	0	B_7	B_6	B_5	B_4	B_3	B_2	B_1	B_0
	C_8	S_7	S_6	S_5	S_4	S_3	S_2	S_1	S_0

对每一位 i ，都是 $\mathbf{A}_i + \mathbf{B}_i + \mathbf{C}_i$ ，产生和 \mathbf{S}_i 以及进位 \mathbf{C}_{i+1}

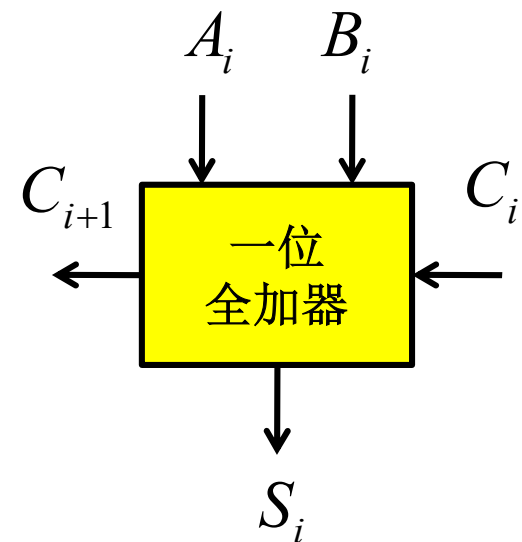
加法器系统框架

- 一位一位地加，同时考虑进位
 - 8个一位全加器级联，即可实现两个8位二进制数的相加功能



一位全加器设计

A_i	B_i	C_i	C_{i+1}	S_i
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		



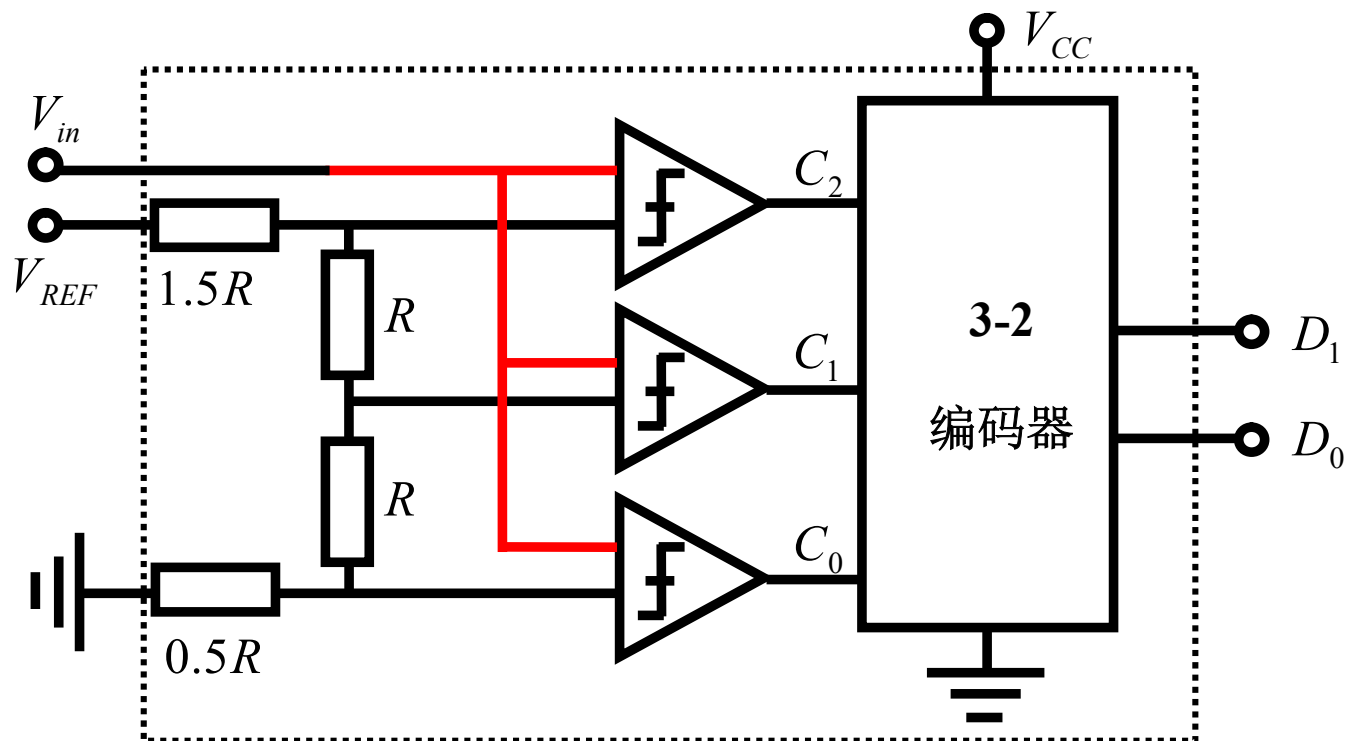
- 填写真值表
- 用卡诺图化简
- 用CMOS晶体管实现
 - 教材例题跟做一遍，教材例题为降低晶体管个数有诸多化简，可以不考虑这个需求，只需用CMOS实现逻辑即可

作业2 卡诺图化简

- 1、化简卡诺图，写出输出Z用ABCD表述的逻辑表达式
- 2、用PMOS互补NMOS的CMOS电路形态（上P下N，形式互补）实现这些逻辑运算，画出CMOS晶体管级电路图
- 3、如果有与门、或门、非门电路可供选用，用与或非门实现上述逻辑
- 4、如果只有二输入的非门可供选用，如何用与非门实现前述逻辑？

AB \ CD	00	01	11	10
00	1	0	0	1
01	0	1	*	*
11	1	1	*	1
10	1	*	0	1

作业3 Flash ADC 编码器设计



模拟输入电压	$C_2C_1C_0$	数字输出码 D_1D_0
$\dots \sim 1/8V_{REF}$	000	00
$1/8V_{REF} \sim 3/8V_{REF}$	001	01
$3/8V_{REF} \sim 5/8V_{REF}$	011	10
$5/8V_{REF} \sim \dots$	111	11

编码器设计

- 已知flash-ADC的码表如左图
- 给出逻辑表达式，用与非门实现上述逻辑表达式
- 画出编码器的CMOS实现方案

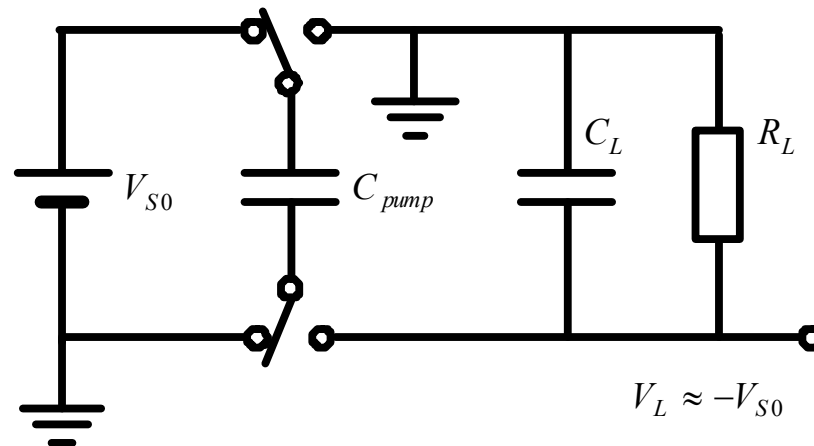
$C_2C_1C_0$	数字输出码 D_1D_0
000	00
001	01
011	10
111	11

三个输入变量，共8种情况，这里仅有4种情况

剩下4种情况真值表中都是*(是0是1不在乎)，因为在实际电路中，这4种情况不会也不应该出现

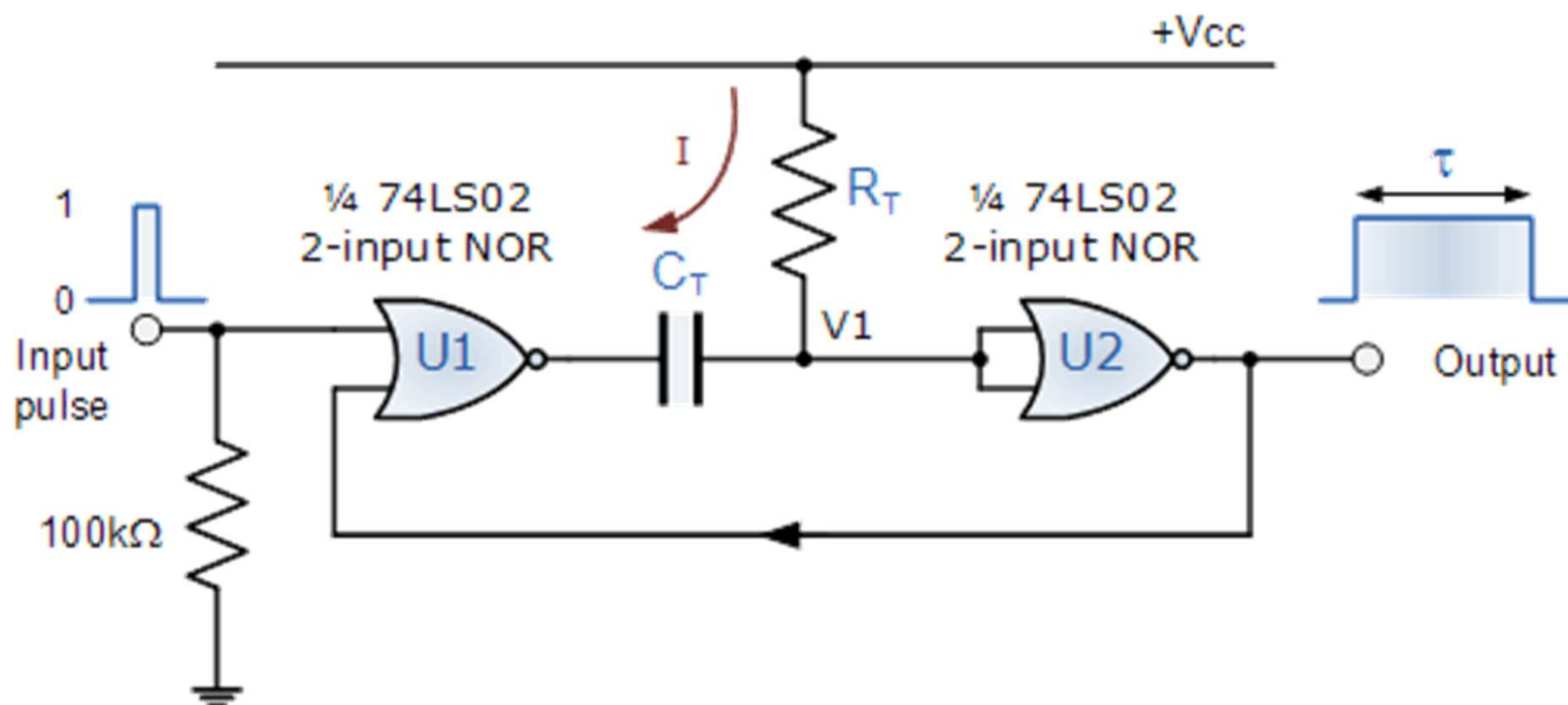
作业4 开关电容做DC-DC转换电路

- **习题9.9 开关电容实现反压** 两个开关在占空比为50%的时钟控制下，在前50%方波周期内使得泵电容 C_{pump} 接到直流电压源 V_{S0} 上，从 V_{S0} 上获取电荷（电能），后50%方波周期内再接到负载电路上，泵电容将部分电荷转移到滤波电容 C_L 上，在泵电容接电源的50%周期内，滤波电容为负载提供电能。分析当电路进入稳态后，输出反相直流电压的纹波电压为多少？分析提高能量转换效率的措施？



作业5 单脉冲电路

- 假设NOR输出高电平为 V_{CC} ，输出低电平为0
 - 输入电平阈值电压为 $0.5V_{CC}$
- 1、画出各个结点的波形
- 2、求单脉冲输出脉宽

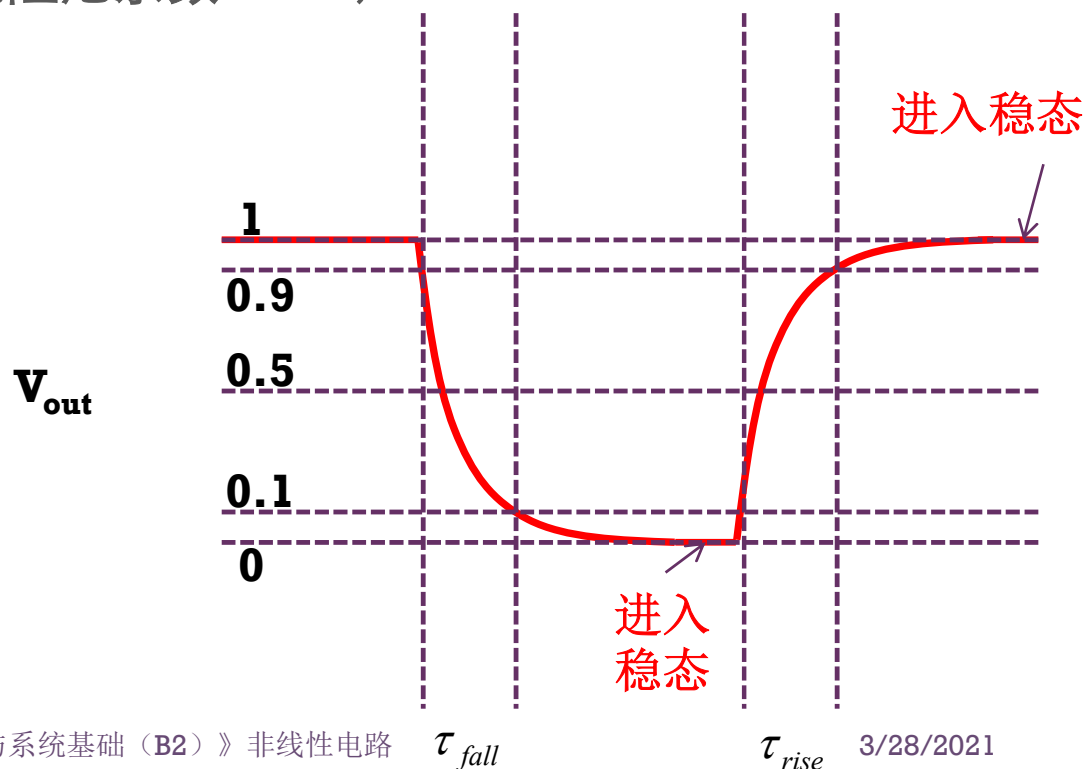


作业6 上升沿时间和带宽

- 请证明一阶RC低通系统的上升沿时间与3dB带宽的关系为

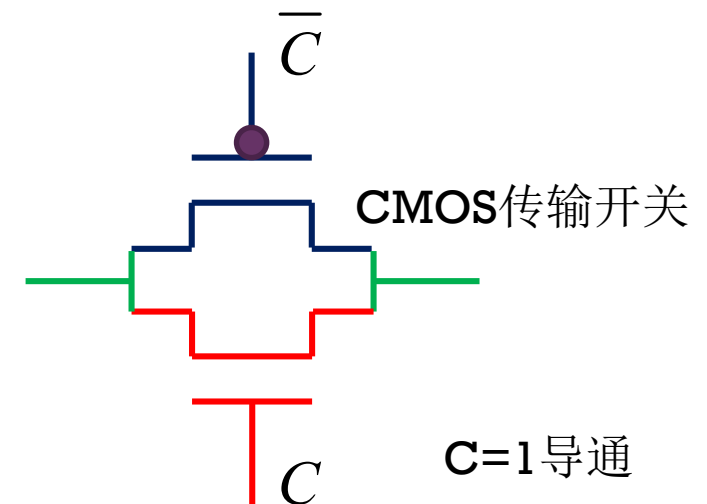
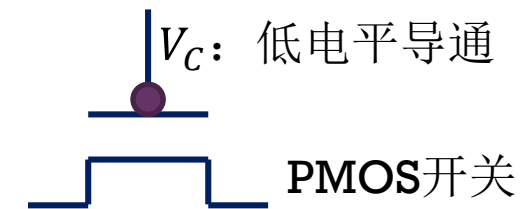
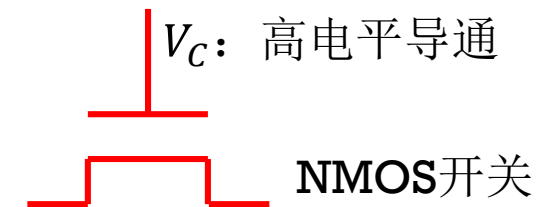
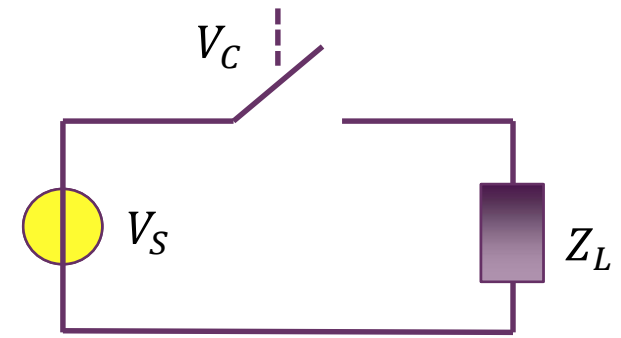
$$BW_{3dB} = \frac{0.35}{T_r}$$

- (选作) 用CAD工具仿真确认二阶RLC低通系统的上升沿时间与3dB带宽的关系 (取最优阻尼系数0.866)



CAD作业：开关

- 三种开关
 - 库中自选PMOS和NMOS晶体管，其中NMOS的P型衬底连接电路中的最低电位，PMOS的N型衬底连接电路中的最高电位
- 两种负载：电阻负载，电容负载
- 开关静态传输特性：VC控制电压使得开关处于导通状态
 - 激励源VS为方波（方波幅度可改变），研究负载电压随输入变化情况
 - 三种开关中CMOS传输开关最优
- 开关动态特性：VC为方波信号
 - 激励源分两种情况：直流高电平，正弦波恒压源
 - VC方波频率改变时，负载电压变化情况
 - 晶体管寄生电容导致晶体管不具开关特性
- 研究分析CMOS传输开关中，NMOS和PMOS沟道总是有一个处于欧姆导通状态，从而具有接近理想开关的开关特性，而NMOS和PMOS开关则存在恒流导通，从而偏离了理想开关导通时电阻为零（电阻极小）的特性



本节课内容在教材中的章节对应

- P507: 开关抽象
- P517: 数字抽象
- P524-539: 组合逻辑电路
- P725-731: 数字非门延时/动态功耗分析