电子电路与系统基础II

习题课第三讲　数字门电路习题课

补充：相量法分析例

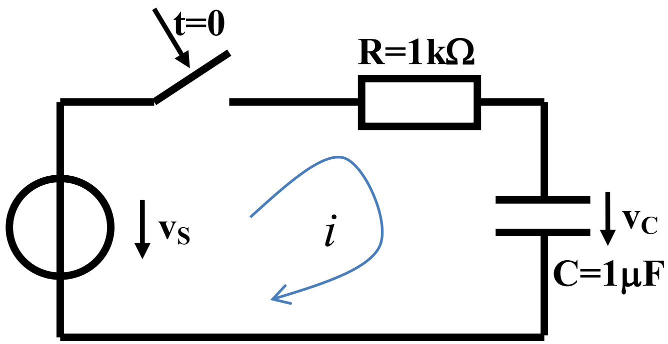
李国林
清华大学电子工程系

大纲

- 相量法分析例
  - 正弦激励：时域数值仿真结果分析
  - 滤波特性
    - 理想滤波特性　　做实验可能会用到
    - 一阶RC低通
    - 一阶RC高通
    - 二阶RC带通
    - 伯特图
  - 移相或延时
- 第一讲数字门电路习题讲解

一、正弦波激励下的一阶RC电路

- 例8.3.1
- 如图所示，t=0时刻开关闭合，正弦波电压激励源加载到一阶RC串联电路端口
  - 其中，$v_S(t)=2\cos\omega_0 t$
    $\omega_0=2\pi f_0 \quad f_0=500Hz$
- 假设电容初始电压为0，$v_C(0)=0$，请给出时域波形数值仿真结果。



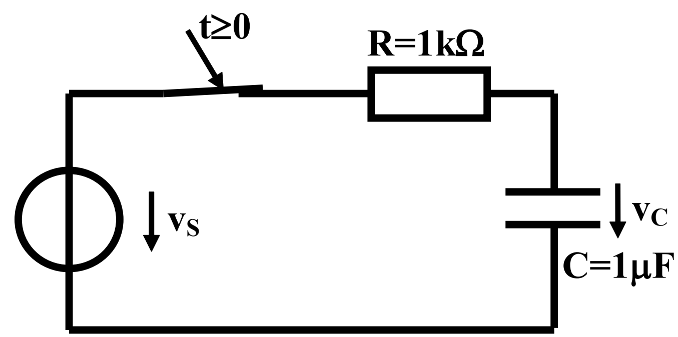
$t<0$ 开关断开 $i=0$

$v_C(t)=V_0=0$

$t>0$ 开关闭合

$$v_S=v_R+v_C=iR+v_C=RC\frac{dv_C}{dt}+v_C$$

开关闭合
正弦激励



$$RC\frac{dv_C(t)}{dt}+v_C(t)=v_S(t)=2\cos\omega_0 t$$

$$v_C(0)=V_0=0 \qquad v_C(t)=?$$

$$v_C(t_{k+1})+\frac{\Delta t}{RC}v_C(t_{k+1})\approx+\frac{\Delta t}{RC}v_S(t_{k+1})+v_C(t_k)$$

后向欧拉法：从方程入手

$$\frac{dv_C(t)}{dt}=-\frac{1}{RC}v_C(t)+\frac{1}{RC}v_S(t)=f(v_C(t),t)$$

$$v_C(t_{k+1})=\frac{\frac{\Delta t}{RC}}{1+\frac{\Delta t}{RC}}v_S(t_{k+1})+\frac{1}{1+\frac{\Delta t}{RC}}v_C(t_k)$$

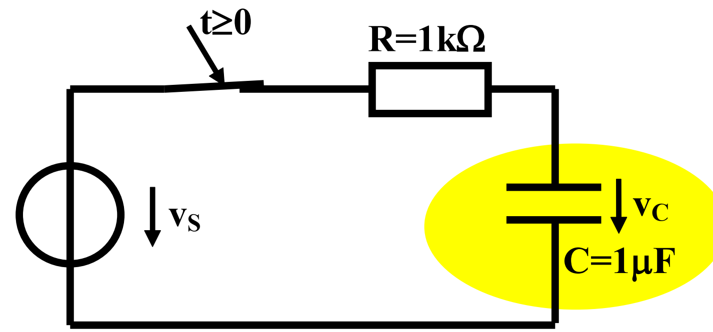
后向欧拉法数值解：

后向欧拉法递进格式

$$v_C(t_{k+1})-v_C(t_k)\approx\Delta t\cdot f(v_C(t_{k+1}),t_{k+1})=-\frac{\Delta t}{RC}v_C(t_{k+1})+\frac{\Delta t}{RC}v_S(t_{k+1})$$

后向欧拉法的电阻电路理解

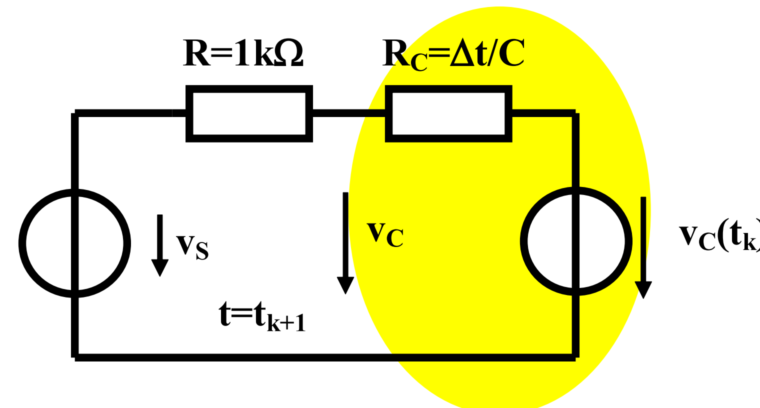
$$v_C(t_{k+1})=\frac{\frac{\Delta t}{RC}}{1+\frac{\Delta t}{RC}}v_S(t_{k+1})+\frac{1}{1+\frac{\Delta t}{RC}}v_C(t_k)$$



$$v_C(t_{k+1})=\frac{R_C}{R_C+R}v_S(t_{k+1})+\frac{R}{R_C+R}v_C(t_k)$$

$$=\frac{\frac{\Delta t}{C}}{\frac{\Delta t}{C}+R}v_S(t_{k+1})+\frac{R}{\frac{\Delta t}{C}+R}v_C(t_k)$$

$$=\frac{\frac{\Delta t}{RC}}{\frac{\Delta t}{RC}+1}v_S(t_{k+1})+\frac{1}{\frac{\Delta t}{CR}+1}v_C(t_k)$$



物理意义明确：当前状态由过去状态（内蕴激励）和当前（外加）激励共同决定

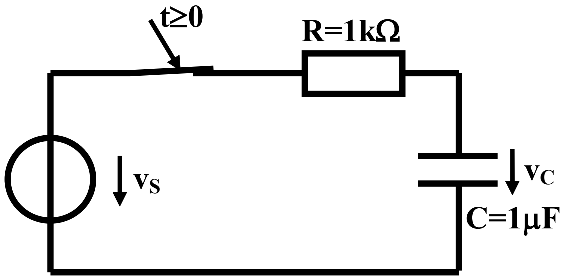
Δt越小，计算精度越高。取

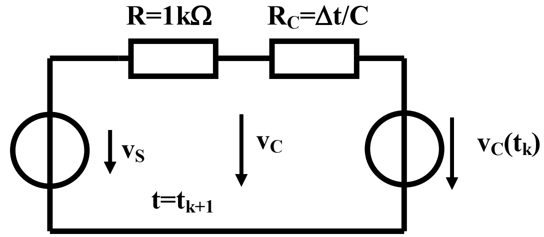
$$\Delta t=0.001RC=1\mu s$$

$$=\frac{1}{1001}v_S(t_{k+1})+\frac{1000}{1001}v_C(t_k)$$

$$R_C=\frac{\Delta t}{C}=0.001R=1\Omega$$

0.1%　　99.9%：电容电压不能突变





$$v_C(t_{k+1}) = \frac{R_C}{R_C+R} v_S(t_{k+1}) + \frac{R}{R_C+R} v_C(t_k)$$

$$= \frac{1}{1001} v_S(t_{k+1}) + \frac{1000}{1001} v_C(t_k)$$

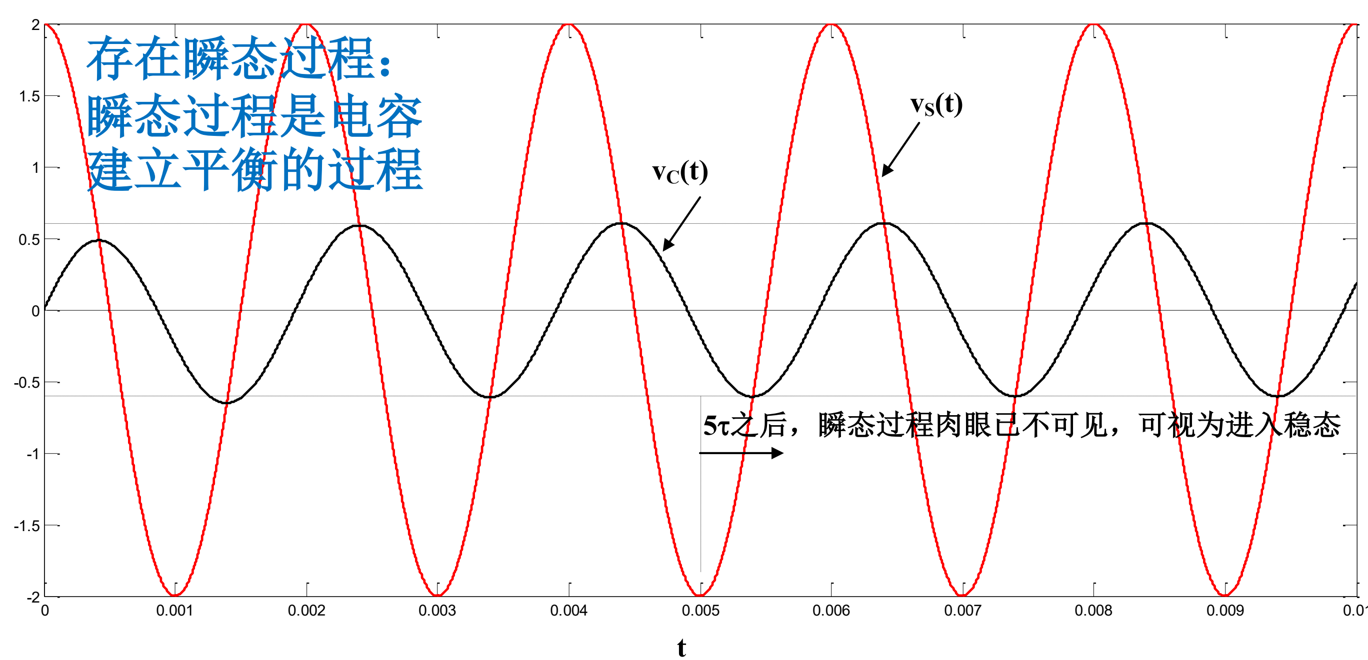
$$v_C(t_0) = v_C(0) = 0$$

$$\Delta t = 0.001RC = 1\mu s$$

$$R_C = \frac{\Delta t}{C} = 1\Omega$$

$$v_S(t_{k+1}) = 2\cos\omega_0 t_{k+1}$$

数值解结论



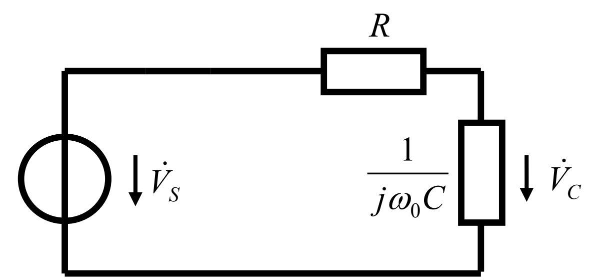
$$\tau = RC = 1ms$$

进入稳态后，只剩下单频正弦波

$$v_{C\infty}(t) = 0.6064\cos(\omega_0 t - 72.36°)$$

稳态解可以用相量法求得

数学上t→∞进入稳态
工程上认为t>5τ，一阶系统的瞬态过程结束，进入稳态



$$\dot{V}_C = \frac{\frac{1}{j\omega_0 C}}{R + \frac{1}{j\omega_0 C}} \dot{V}_S = \frac{1}{1 + j\omega_0 RC} \dot{V}_S$$

$$\dot{V}_C = \frac{1}{1 + j\omega_0 RC} \dot{V}_S = \frac{1}{1 + j \times 2\pi \times f_0 \times R \times C} \dot{V}_S$$

$$= \frac{1}{1 + j \times 2\pi \times 500 \times 1000 \times 0.000001} \times 2 = \frac{2}{1 + j3.14} = 0.6066 e^{-j72.34°}$$

$$v_S(t) = 2\cos\omega_0 t \qquad v_{C\infty}(t) = 0.6066\cos(\omega_0 t - 72.34°)$$ 理论值

$$v_{C\infty}(t) = 0.6064\cos(\omega_0 t - 72.36°)$$ 数值仿真足够接近理论值

全响应解析表达式

理论课第4讲给出该公式

- 三要素法 $x(t)=x_{\infty}(t)+\left(x(0^{+})-x_{\infty}(0^{+})\right)e^{-\frac{t}{\tau}} \qquad (t>0)$

$$v_{C\infty}(t) = 0.6066\cos(\omega_0 t - 72.34°)$$

相量法获得正弦稳态响应

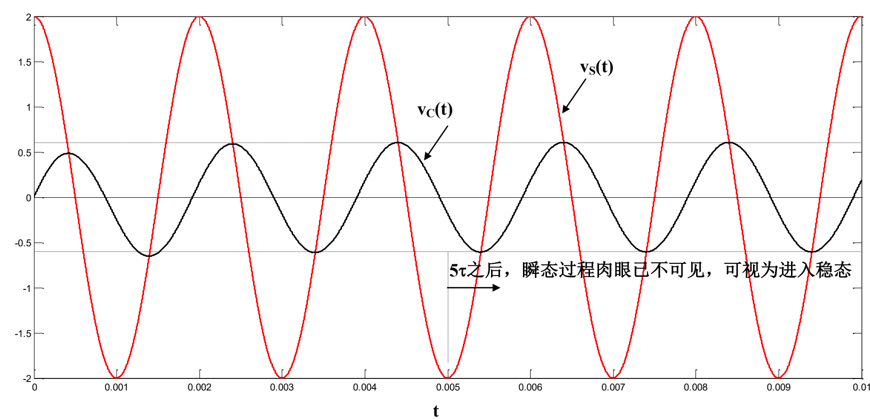
$$v_{C\infty}(0) = 0.6066\cos(\omega_0 \cdot 0 - 72.34°) = 0.6066\cos(-72.34°) = 0.1840$$

$$v_C(0^+) = v_C(0^-) = 0$$

$$\tau = RC = 1k\Omega \times 1\mu F = 1ms$$

$$v_C(t) = v_{C\infty}(t) + \left(v_C(0^+) - v_{C\infty}(0^+)\right)e^{-\frac{t}{\tau}}$$

$$= 0.6066\cos(\omega_0 t - 72.34°) - 0.1840e^{-\frac{t}{1m}}$$



瞬态响应较稳态响应而言幅值相对较小，影响不是很大

结论

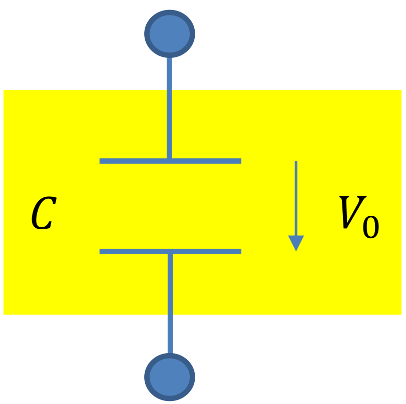
- 周期信号激励（或直流激励，ω=0）下，如果存在开关（时变元件）使得电路在某时刻（$t=t_0$）转换为新的连接关系
  - 如果是线性电阻电路，响应则随开关拨动即时完成变动，输出是输入的即时响应
  - 如果存在电容或电感，电容和电感则有一个重新建立平衡的过程，即需要有一个瞬态过程使得状态（电容电压或电感电流）从初始状态（t_0时刻的电容电压或电感电流）转移到平衡状态（稳态响应：进入稳定平衡点，或进入稳态极限环）

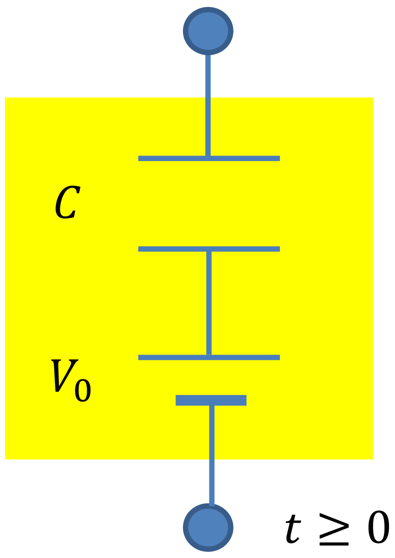
仿真中电容初值如何加

问助教，问同学

从原理上做等效电路

$$v(t)=\frac{1}{C}\int_{-\infty}^{t} i(\tau)d\tau = V_0+\frac{1}{C}\int_{0}^{t} i(\tau)d\tau$$





电感的初始电流如何加入？

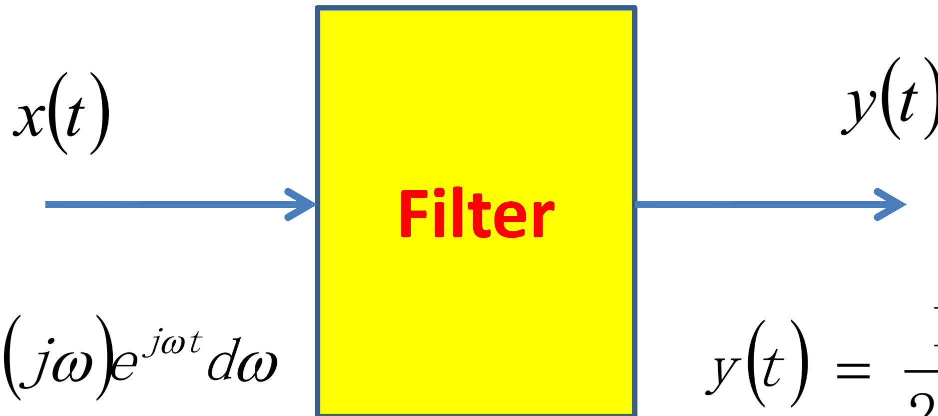
二、滤波特性

- 电容和电感的端口电压、电流关系随频率变化而变化
  - $X_L=\omega L$，$X_C=-1/(\omega C)$
  - $Z_L=j\omega L$，$Z_C=1/(j\omega C)$

$$\dot{V} = Z\dot{I}$$

- 系统中如果有电容和电感元件，该系统将对不同的频率具有不同的响应，在特定的元件组合关系下，可形成滤波特性
  - 滤波：允许某些频率分量通过（这些频率分量构成滤波器的通带），某些频率分量不允许通过（这些频率分量构成滤波器的阻带）

理想滤波特性的描述



$$x(t) = \frac{1}{2\pi}\int_{-\infty}^{+\infty} \dot{X}(j\omega) e^{j\omega t} d\omega$$

$$y(t) = \frac{1}{2\pi}\int_{-\infty}^{+\infty} \dot{Y}(j\omega) e^{j\omega t} d\omega$$

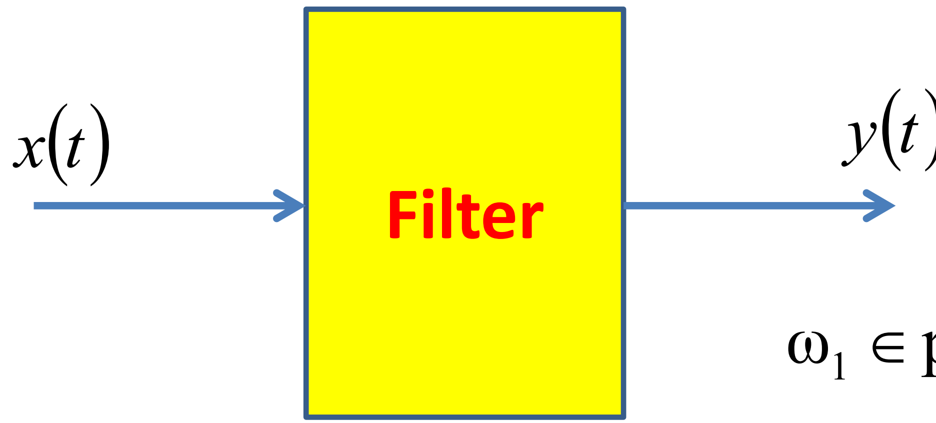
通带内的频率分量幅度比例关系，线性相位，相同延时

$$H(j\omega) = \frac{\dot{Y}(j\omega)}{\dot{X}(j\omega)} = \begin{cases} A_0 e^{-j\omega\tau_0} & \omega \in \text{passband} \\ 0 & \omega \notin \text{passband} \end{cases}$$

假设通带外的频率分量完全滤除：理想滤波器才具有

一组正弦波通过理想滤波器

$$H(j\omega)=\frac{\dot{Y}(j\omega)}{\dot{X}(j\omega)}=A(\omega)e^{j\varphi(\omega)}=\begin{cases}A_0e^{-j\omega\tau_0} & \omega\in\text{passband}\\ 0 & \omega\notin\text{passband}\end{cases}$$



$\omega_1 \in \text{passband}$

$\omega_2 \in \text{passband}$

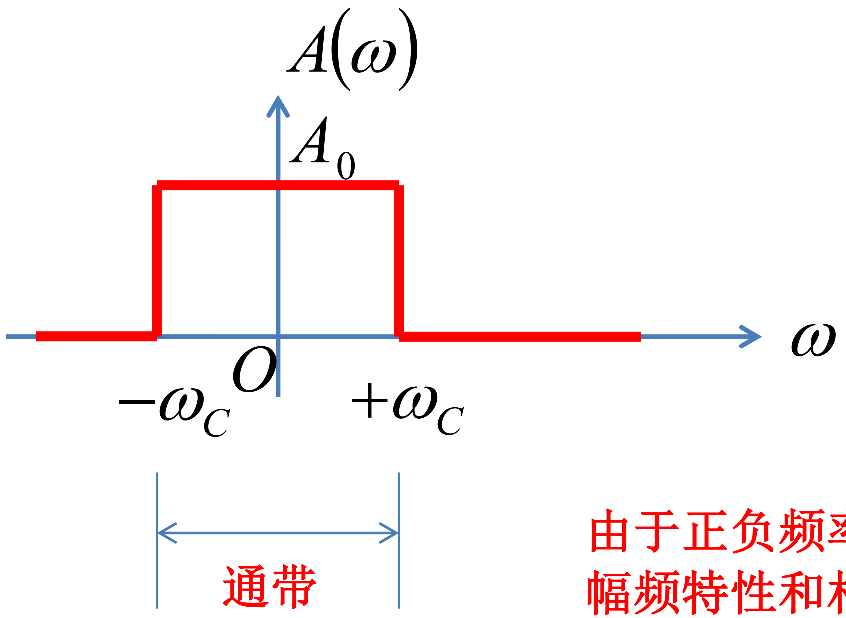
$\omega_3 \notin \text{passband}$

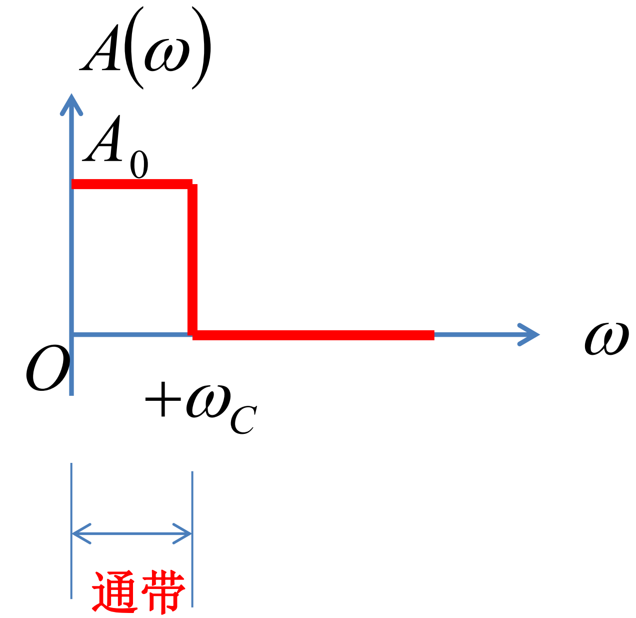
$$\begin{aligned}x(t)&\\ &=V_1\cos\omega_1 t+V_2\cos\omega_2 t+V_3\cos\omega_3 t\\ &=x_{passband}(t)+x_{stopband}(t)\end{aligned}$$

$$\begin{aligned}y(t)&\\ &=A_0V_1\cos(\omega_1 t-\omega_1\tau_0)+A_0V_2\cos(\omega_2 t-\omega_2\tau_0)\\ &=A_0\left(V_1\cos(\omega_1(t-\tau_0))+V_2\cos(\omega_2(t-\tau_0))\right)\\ &=A_0\cdot x_{passband}(t-\tau_0)\end{aligned}$$

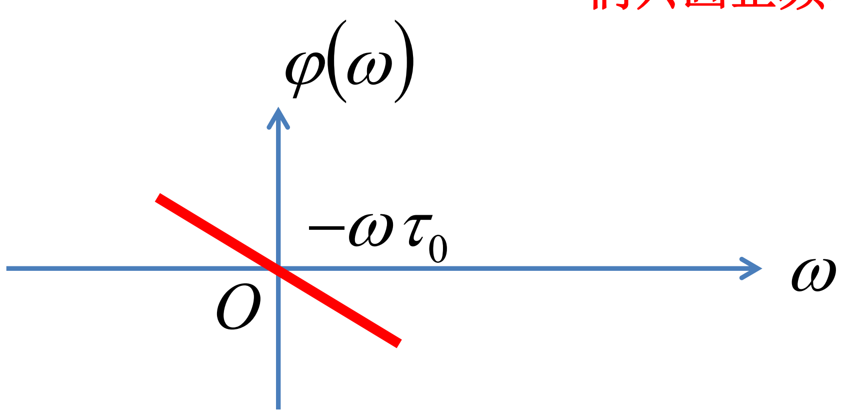
理想滤波器：通带内信号无失真通过，通带外信号完全滤除

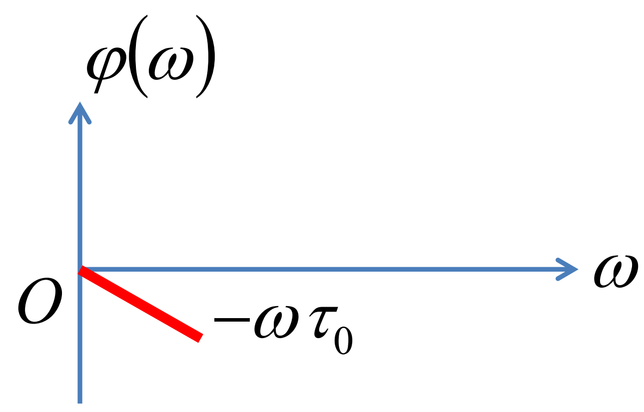
理想低通滤波特性



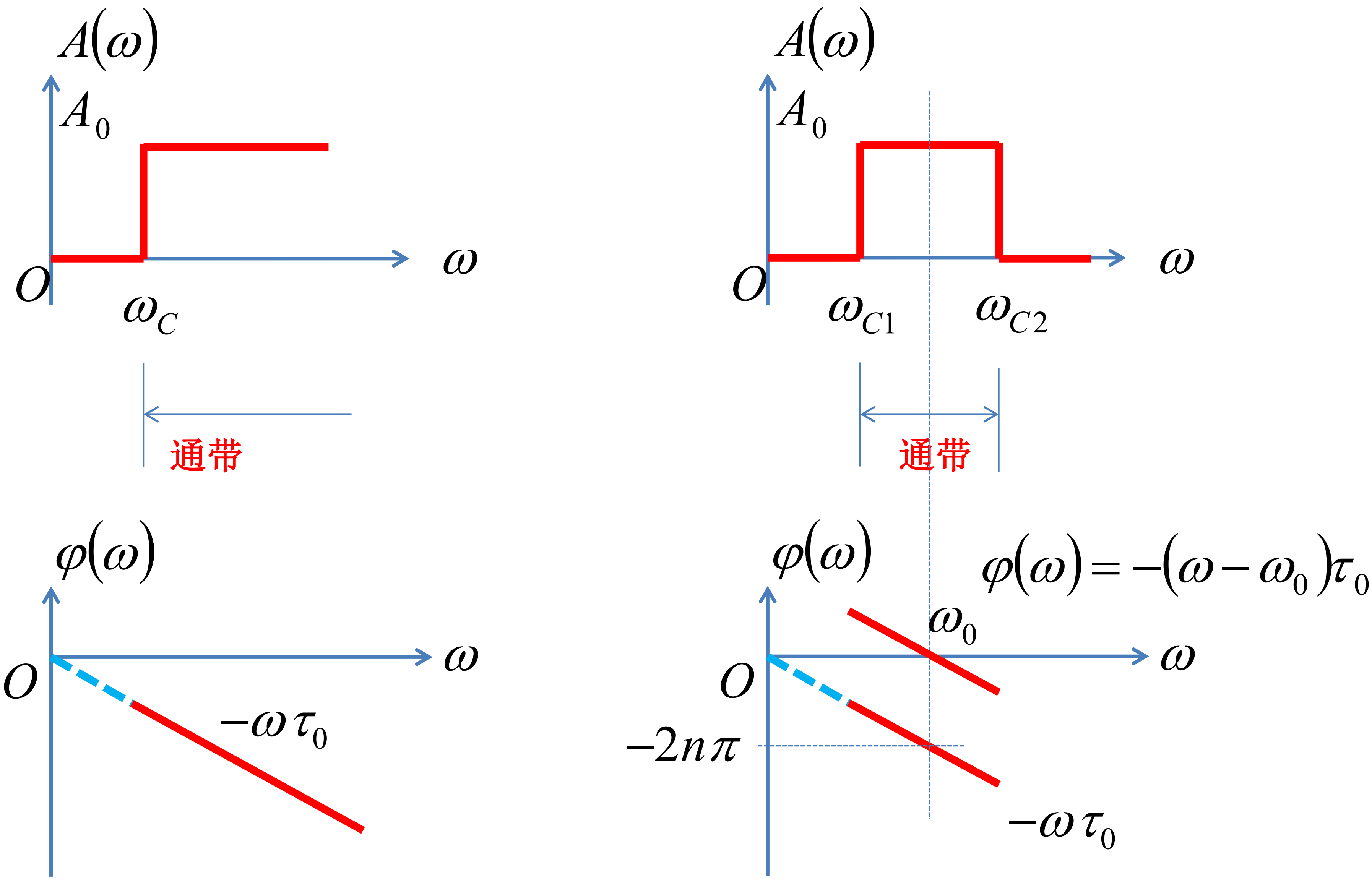


由于正负频率的对称性幅频特性和相频特性我们只画正频率分量





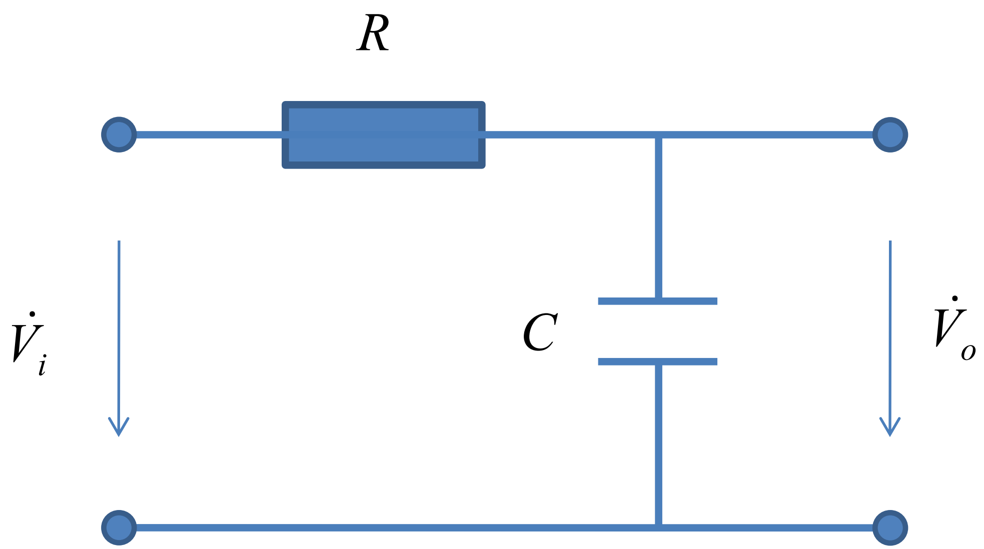
理想高通和理想带通



$A(\omega)$
A_0
O
ω
ω_C
通带
$A(\omega)$
A_0
O
ω
ω_{C1}
ω_{C2}
通带
$\varphi(\omega)$
O
ω
$-\omega\tau_0$
$\varphi(\omega)$
$\varphi(\omega) = -(\omega - \omega_0)\tau_0$
ω_0
O
ω
$-2n\pi$
$-\omega\tau_0$

一阶RC低通

理想滤波器物理上不可实现，可实现的滤波器均偏离理想滤波特性，偏离越小，滤波器特性就越优良



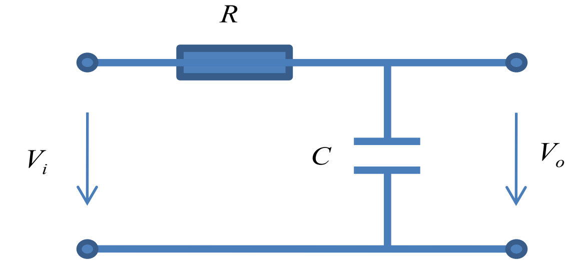
直观理解
电容低频开路
电容高频短路

形成低通特性

什么是低频？高频？

$$H(j\omega)=\frac{\dot{V}_o}{\dot{V}_i}=\frac{\frac{1}{j\omega C}}{R+\frac{1}{j\omega C}}=\frac{1}{1+j\omega RC}=\frac{1}{\sqrt{1+(\omega RC)^2}}e^{-j\arctan\omega RC}$$

低通频响特性



$$A(\omega) = \frac{1}{\sqrt{1+(\omega RC)^2}}$$

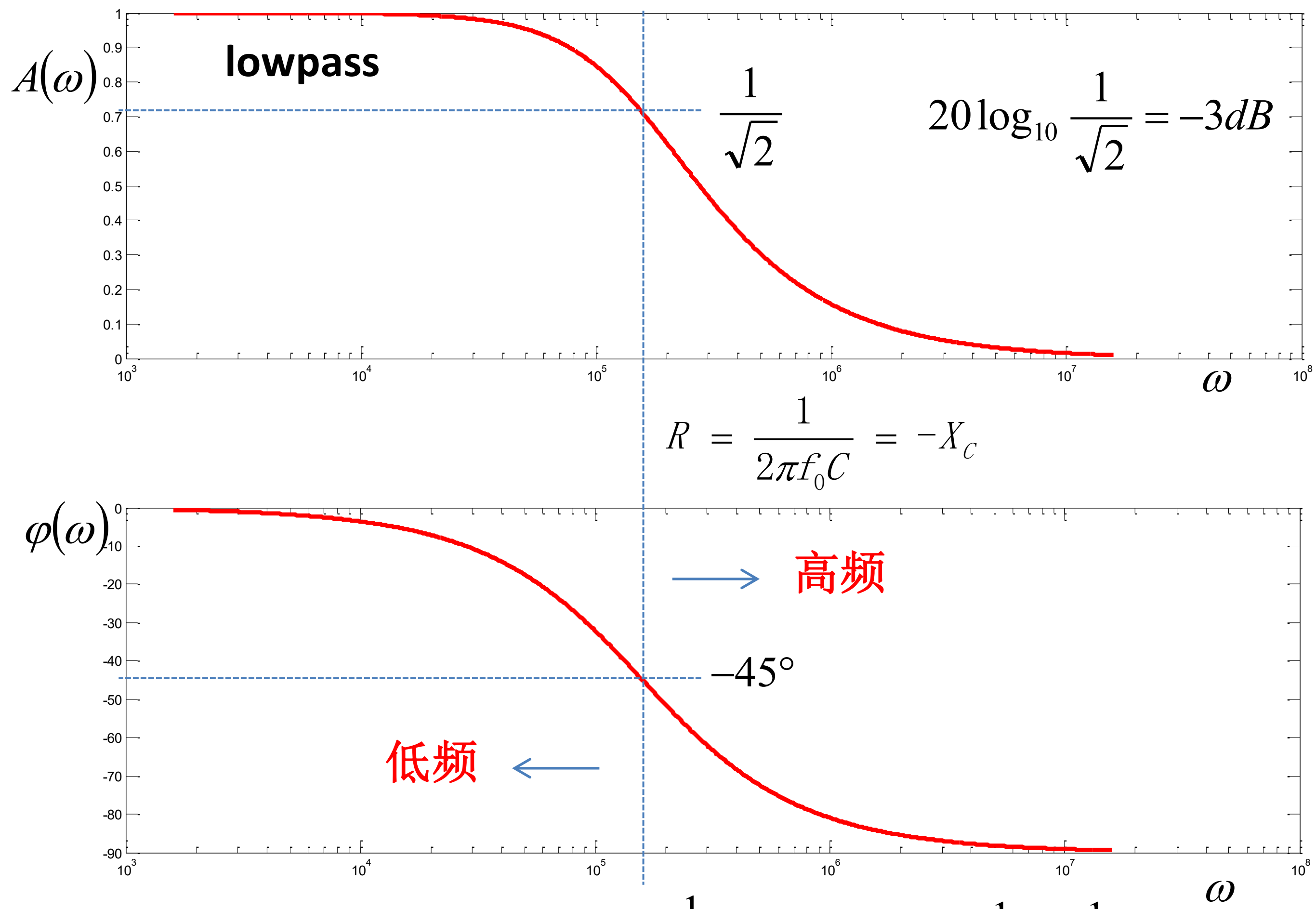
$$= \frac{1}{\sqrt{1+\left(\dfrac{\omega}{\omega_0}\right)^2}}$$

$$\overset{\omega<<\omega_0}{\approx} 1$$

$$\varphi(\omega) = -\arctan \omega RC$$

$$= -\arctan \frac{\omega}{\omega_0}$$

$$\overset{\omega<<\omega_0}{\approx} -\frac{\omega}{\omega_0} = -\omega\tau$$



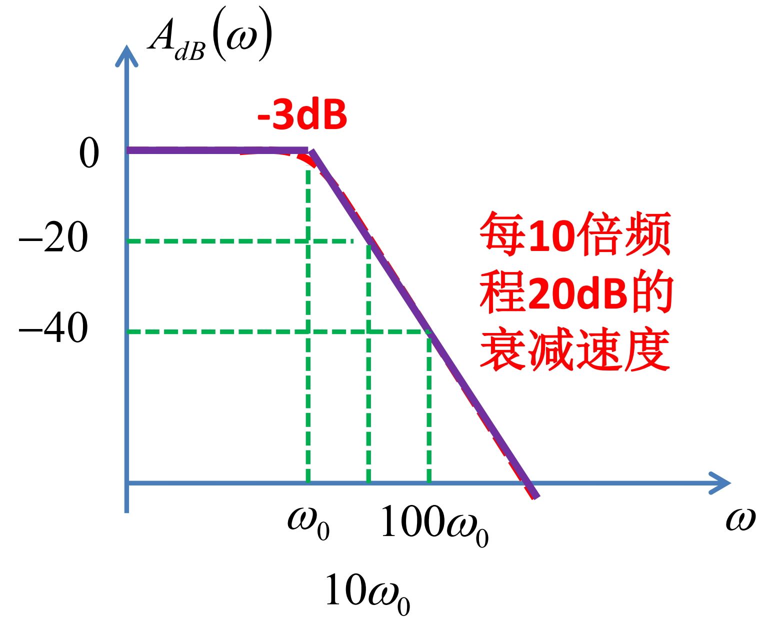
$$f_0 = \frac{1}{2\pi RC} \qquad \omega_0 = \frac{1}{\tau} = \frac{1}{RC}$$

截止频率：cutoff frequency：容性和阻性相当

伯特图

对数坐标下的分段折线描述

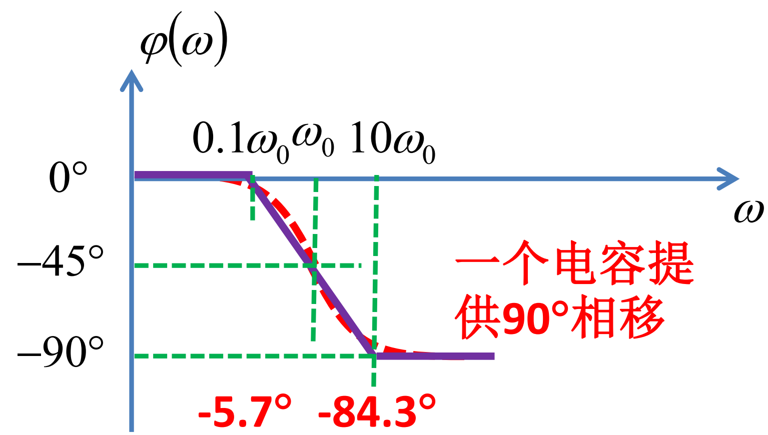
$$A(\omega)=\frac{1}{\sqrt{1+\left(\frac{\omega}{\omega_0}\right)^2}}\approx\begin{cases}1 & \omega<<\omega_0\\ \frac{\omega_0}{\omega} & \omega>>\omega_0\end{cases}$$



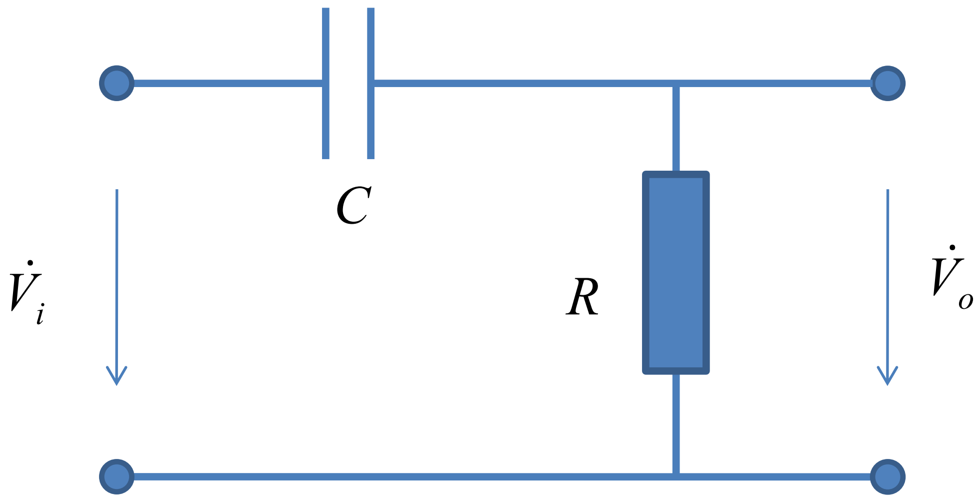
$$A_{dB}(\omega)=20\log\frac{1}{\sqrt{1+\left(\frac{\omega}{\omega_0}\right)^2}}\approx\begin{cases}0 & \omega<\omega_0\\ 20\log\omega_0-20\log\omega & \omega>\omega_0\end{cases}$$

$$\varphi(\omega)=-\arctan\frac{\omega}{\omega_0}$$

$$\approx\begin{cases}0^\circ & \omega<0.1\omega_0\\ -45^\circ-45^\circ\log\frac{\omega}{\omega_0} & 0.1\omega_0<\omega<10\omega_0\\ 90^\circ & \omega>10\omega_0\end{cases}$$



一阶RC高通



直观理解
电容低频开路
电容高频短路

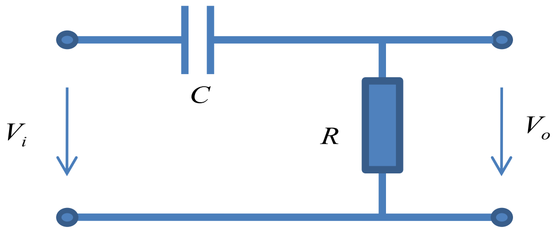
形成高通特性

什么是低频和高频的分界？
阻性和容性相当的频率为截止频率ω_0=1/RC，低于截止频率为低频，高于截止频率为高频

$$H(j\omega)=\frac{\dot{V}_o}{\dot{V}_i}=\frac{R}{R+\frac{1}{j\omega C}}=\frac{j\omega RC}{1+j\omega RC}=\frac{\omega RC}{\sqrt{1+(\omega RC)^2}}e^{j\left(\frac{\pi}{2}-\arctan\omega RC\right)}$$

$$(\omega>0)$$

高通频响特性

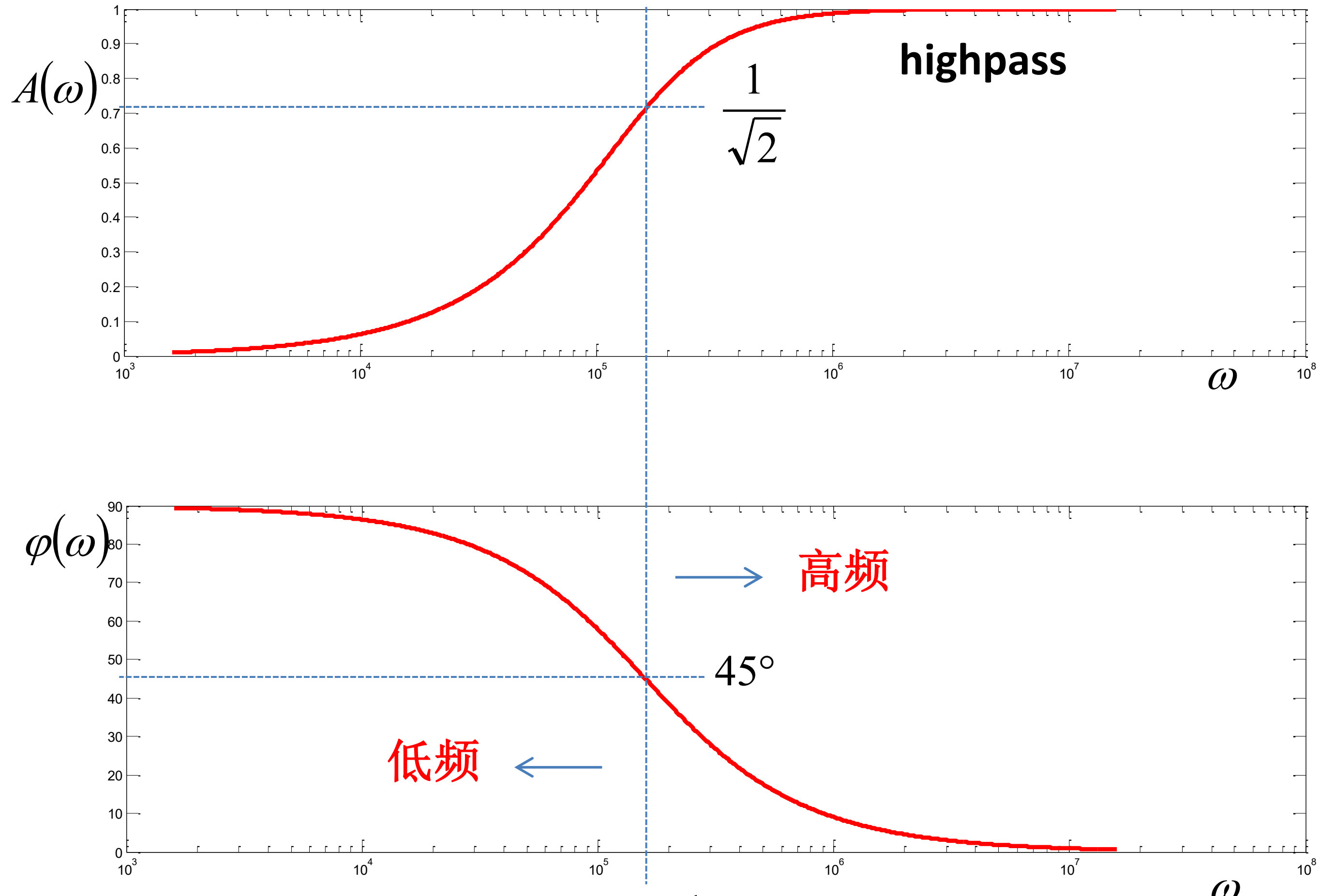


$$A(\omega)=\frac{\omega RC}{\sqrt{1+(\omega RC)^2}}$$

$$=\frac{\omega/\omega_0}{\sqrt{1+(\omega/\omega_0)^2}}$$

$$\overset{\omega>>\omega_0}{\approx} 1$$

$$\varphi(\omega)=\frac{\pi}{2}-\arctan\frac{\omega}{\omega_0}$$



$$f_0=\frac{1}{2\pi RC} \qquad \omega_0=\frac{1}{\tau}=\frac{1}{RC}$$

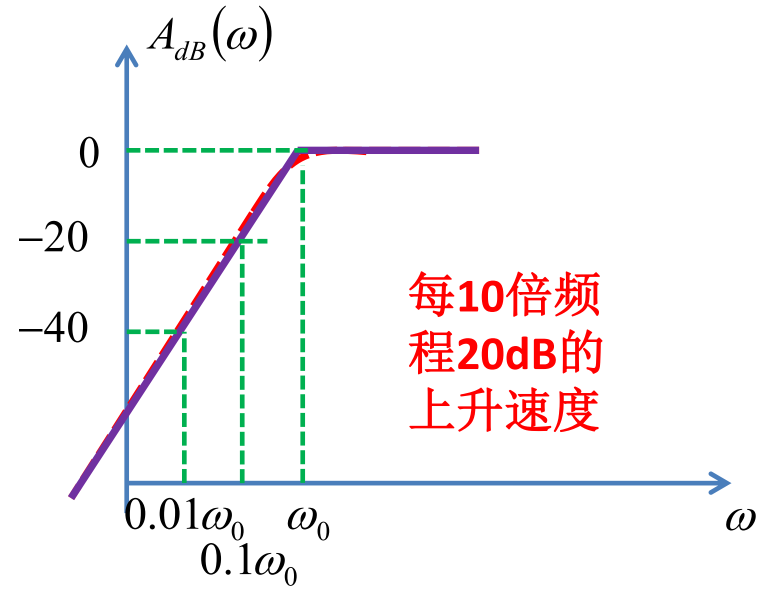
阻性和容性相当的频率为低频高频分界点截止频率ω_0=1/RC

伯特图

对数坐标下的分段折线描述

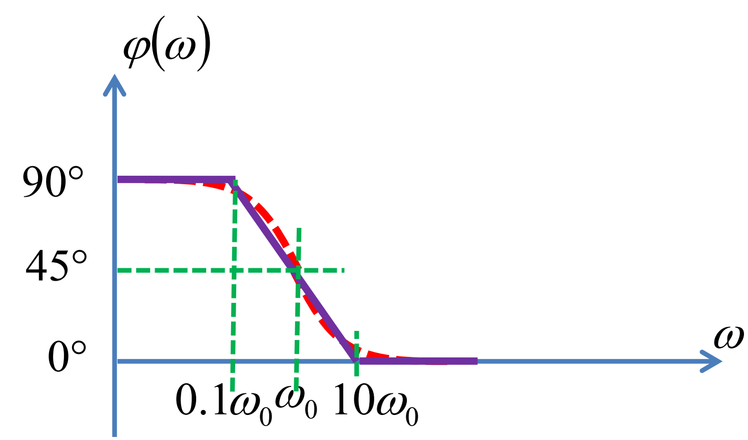
$$A(\omega)=\frac{\frac{\omega}{\omega_0}}{\sqrt{1+\left(\frac{\omega}{\omega_0}\right)^2}}\approx\begin{cases}\frac{\omega}{\omega_0} & \omega<<\omega_0\\ 1 & \omega>>\omega_0\end{cases}$$

$$A_{dB}(\omega)=20\log\frac{\frac{\omega}{\omega_0}}{\sqrt{1+\left(\frac{\omega}{\omega_0}\right)^2}}\approx\begin{cases}20\log\omega-20\log\omega_0 & \omega<\omega_0\\ 0 & \omega>\omega_0\end{cases}$$

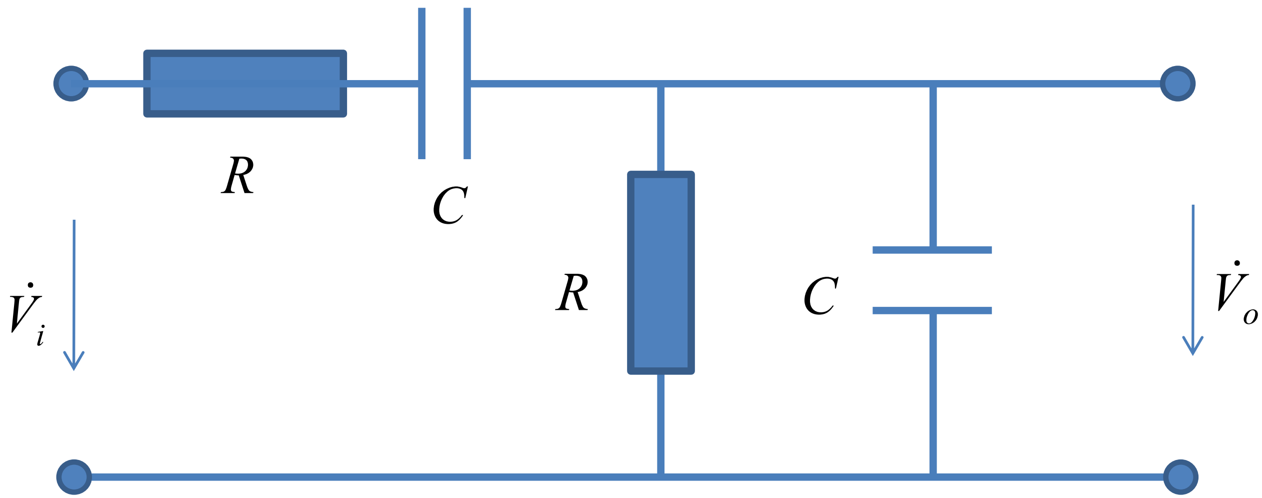


$$\varphi(\omega)=90^\circ-\arctan\frac{\omega}{\omega_0}$$

$$\approx\begin{cases}90^\circ & \omega<0.1\omega_0\\ 45^\circ-45^\circ\log\frac{\omega}{\omega_0} & 0.1\omega_0<\omega<10\omega_0\\ 0^\circ & \omega>10\omega_0\end{cases}$$



二阶RC带通



$$H=\frac{\dot{V}_o}{\dot{V}_i}=\frac{Z_2}{Z_1+Z_2}=\frac{\dfrac{R}{1+j\omega RC}}{R+\dfrac{1}{j\omega C}+\dfrac{R}{1+j\omega RC}}=\frac{1}{3+j\omega RC+\dfrac{1}{j\omega RC}}$$

低频串联C开路，信号过不去，高频并联C短路，输出信号被衰减：低频高频通不过只有在ω_0=1/τ频点上，串联RC和并联RC相角一致，分压比为1/3：带通特性

传递函数

$$H(j\omega)=\frac{\dot{V}_o}{\dot{V}_i}=\frac{1}{3+j\omega RC+\dfrac{1}{j\omega RC}}$$

$$=\frac{1}{\sqrt{9+\left(\omega RC-\dfrac{1}{\omega RC}\right)^2}}e^{-j\arctan\frac{\omega RC-\frac{1}{\omega RC}}{3}}=A(\omega)e^{j\varphi(\omega)}$$

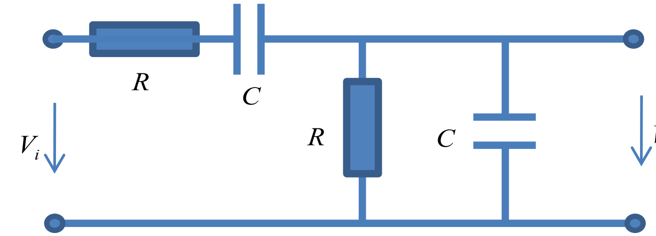
$$A(\omega)=\frac{1}{\sqrt{9+\left(\omega RC-\dfrac{1}{\omega RC}\right)^2}}$$

幅频特性

$$\varphi(\omega)=-\arctan\frac{\omega RC-\dfrac{1}{\omega RC}}{3}$$

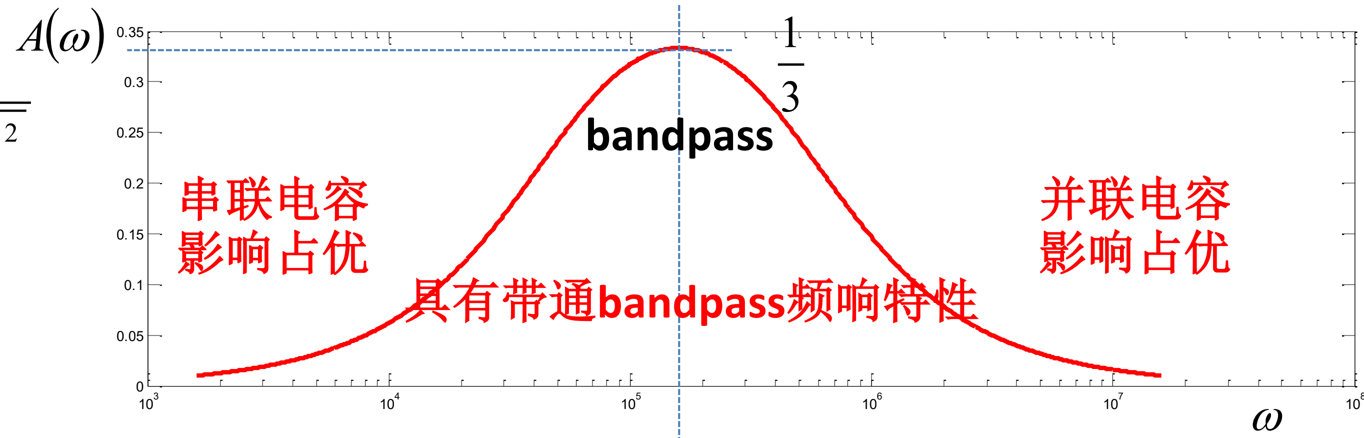
相频特性

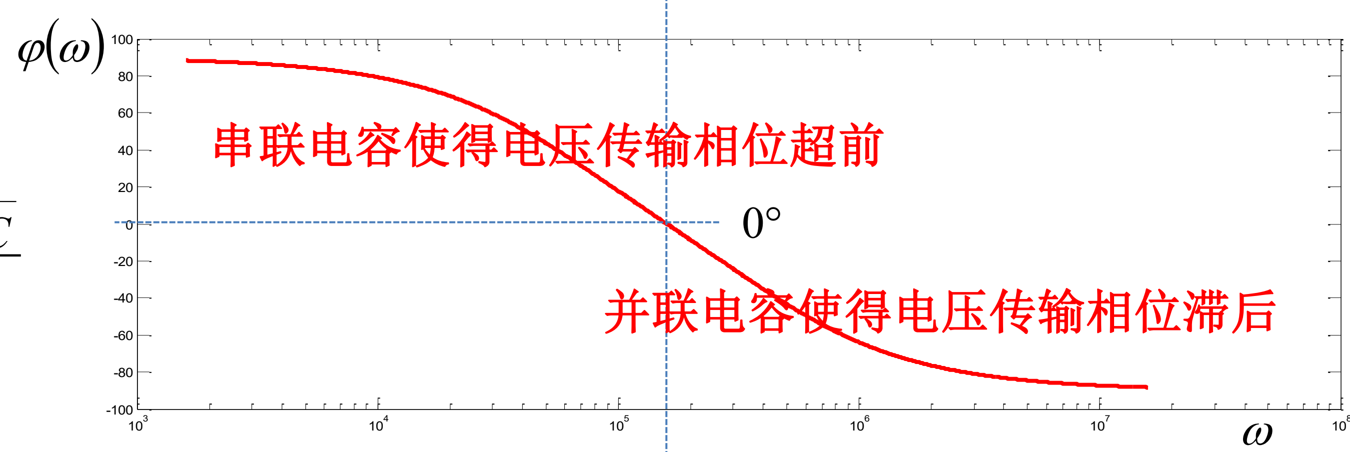
频率响应



$$A(\omega)=\frac{1}{\sqrt{9+\left(\omega RC-\frac{1}{\omega RC}\right)^2}}$$

$$=\frac{1}{\sqrt{9+\left(\frac{\omega}{\omega_0}-\frac{\omega_0}{\omega}\right)^2}}$$





$$\varphi(\omega)=-\arctan\frac{\omega RC-\frac{1}{\omega RC}}{3}$$

$$=-\arctan\frac{\frac{\omega}{\omega_0}-\frac{\omega_0}{\omega}}{3}$$

$$f_0=\frac{1}{2\pi RC}\qquad \omega_0=\frac{1}{\tau}=\frac{1}{RC}$$

伯特图：自行画

伯特图的一般画法

- （1）记jω为s， 以s为自变量，重新表述传递函数为实系数有理多项式

$$H(s)=A_0\frac{s^m+\beta_{m-1}s^{m-1}+\ldots+\beta_0}{s^n+\alpha_{n-1}s^{n-1}+\ldots+\alpha_0}$$

- （2）因式分解

$$H(s)=A_0\frac{(s+\omega_{z1})(s+\omega_{z2})\ldots(s+\omega_{zm})}{(s+\omega_{p1})(s+\omega_{p2})\ldots(s+\omega_{pn})}$$

这里假设只有实根
共轭复根暂不考虑

极点和零点

$$H(s)=A_0\frac{(s+\omega_{z1})(s+\omega_{z2})\ldots(s+\omega_{zm})}{(s+\omega_{p1})(s+\omega_{p2})\ldots(s+\omega_{pn})}$$

- 传递函数分母多项式的根称为极点，分子多项式的根称为零点
  - 稳定系统（滤波器，放大器，...）的极点一定位于左半平面

$$s_p=-\omega_{p1},-\omega_{p2},\ldots,-\omega_{pn}<0$$

  - 零点可正可负，可左可右

$$s_z=-\omega_{z1},-\omega_{z2},\ldots,-\omega_{zm}$$

出现右半平面极点，系统则不稳定，或者趋于无穷（进入非线性饱和区），或者自激振荡（变成振荡器）

不稳定系统没有传递函数，也没有伯特图

伯特图画法规则

$$H(s)=A_0\frac{(s+\omega_{z1})(s+\omega_{z2})\ldots(s+\omega_{zm})}{(s+\omega_{p1})(s+\omega_{p2})\ldots(s+\omega_{pn})}$$

- 零极点按大小排序，其数值和频率比，随着频率的上升，…

$$H(s)=\mathrm{H}_0\frac{\left(1+\frac{s}{\omega_{z1}}\right)\left(1+\frac{s}{\omega_{z2}}\right)\ldots\left(1+\frac{s}{\omega_{zm}}\right)}{\left(1+\frac{s}{\omega_{p1}}\right)\left(1+\frac{s}{\omega_{p2}}\right)\ldots\left(1+\frac{s}{\omega_{pn}}\right)}$$

- 幅频特性
  - 碰到极点-20，碰到零点+20；
    - 每个极点都将导致20dB/10倍频程的幅频特性的下降，每个零点都将导致20dB/10倍频程的幅频特性的上升

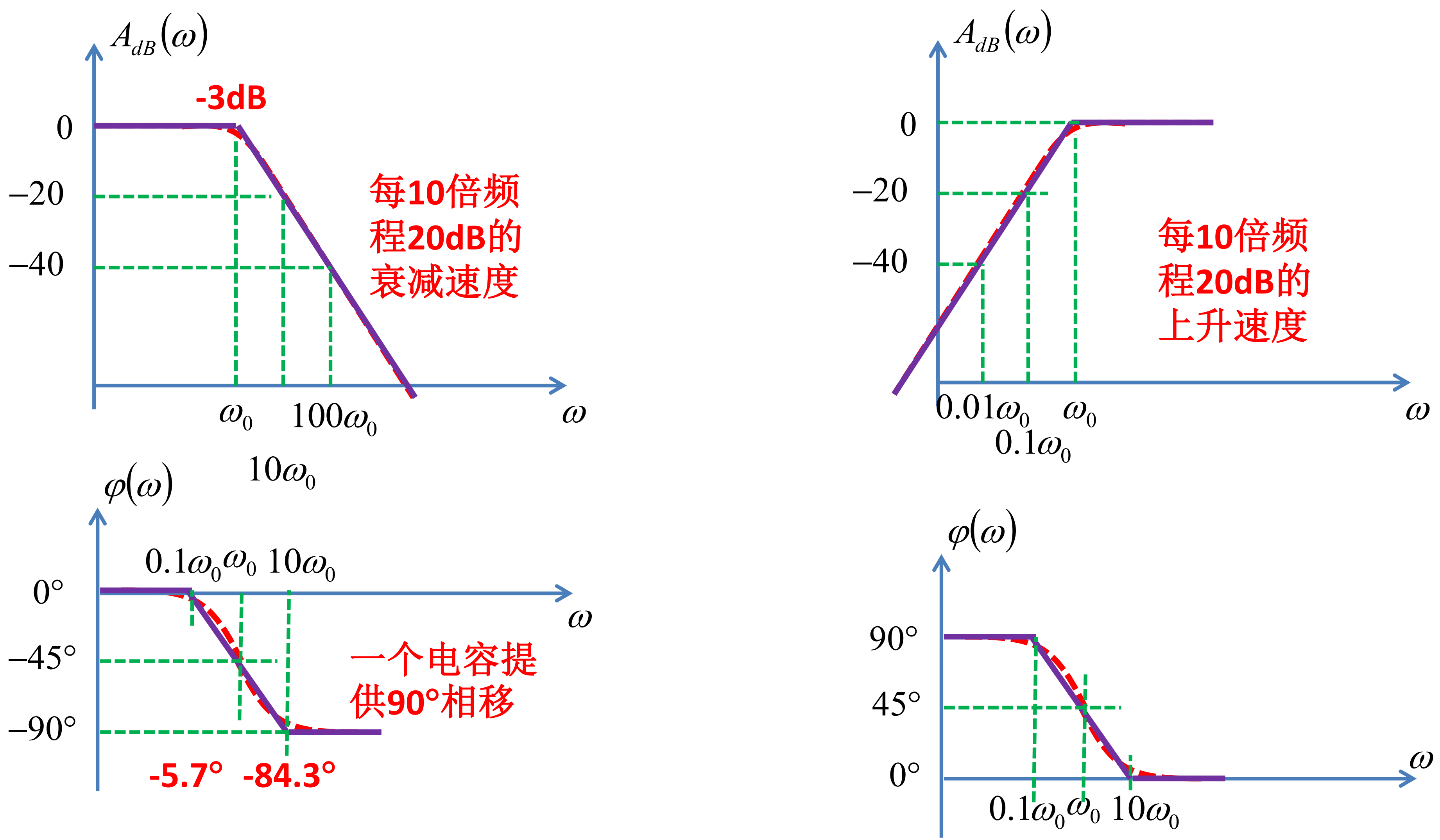
$$\overset{s=j\omega}{=}\mathrm{H}_0\frac{\left(1+\frac{j\omega}{\omega_{z1}}\right)\left(1+\frac{j\omega}{\omega_{z2}}\right)\ldots\left(1+\frac{j\omega}{\omega_{zm}}\right)}{\left(1+\frac{j\omega}{\omega_{p1}}\right)\left(1+\frac{j\omega}{\omega_{p2}}\right)\ldots\left(1+\frac{j\omega}{\omega_{pn}}\right)}$$

- 相频特性
  - 极点滞后90°，零点看左右，左超右滞90°
    - 极点只能是左半平面极点，每个极点导致一个90°相位滞后；左半平面零点导致一个90°相位超前，右半平面零点导致一个90°相位滞后

$$H(j\omega)=\frac{1}{1+j\omega RC}=\frac{1}{1+\dfrac{j\omega}{\omega_0}}$$

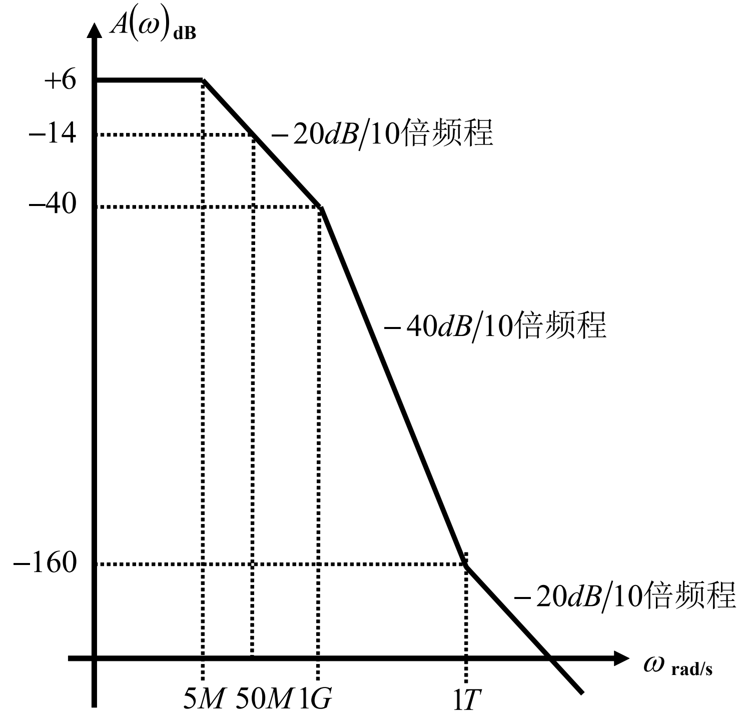
$$H(j\omega)=\frac{j\omega RC}{1+j\omega RC}=\frac{\dfrac{j\omega}{\omega_0}}{1+\dfrac{j\omega}{\omega_0}}$$

一阶低通和一阶高通



$$H(j\omega)=10000\frac{\left(j\omega+1\times10^{12}\right)}{\left(j\omega+5\times10^{6}\right)\left(j\omega+1\times10^{9}\right)}$$

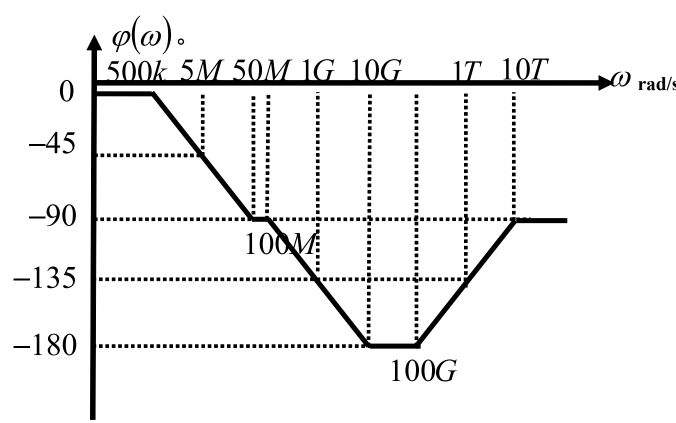
$$=2\frac{\left(1+\dfrac{j\omega}{1\times10^{12}}\right)}{\left(1+\dfrac{j\omega}{5\times10^{6}}\right)\left(1+\dfrac{j\omega}{1\times10^{9}}\right)}$$



5×10^{6}

1×10^{9}

1×10^{12}



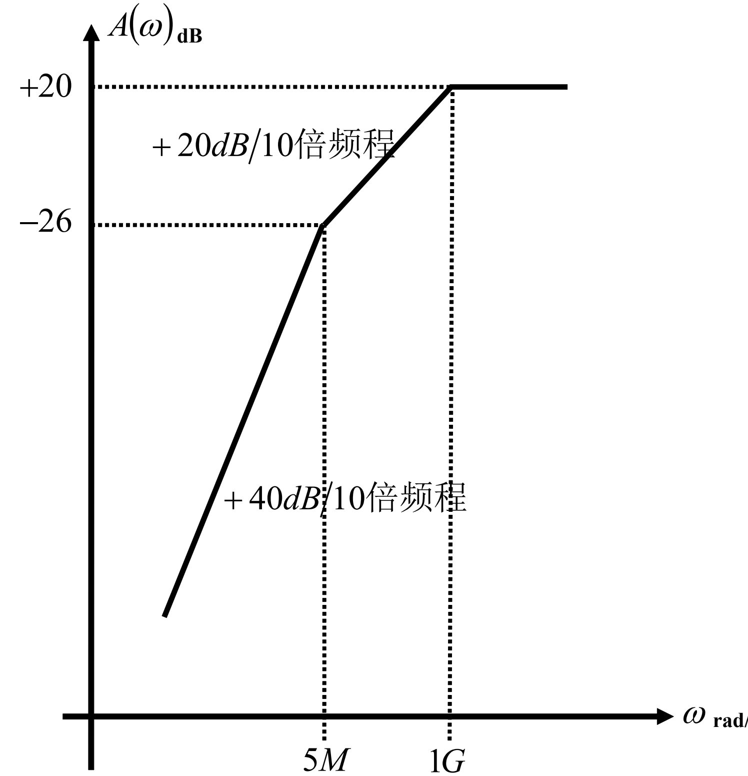
$$H(j\omega)=10\frac{(j\omega)^2}{(j\omega+5\times10^6)(j\omega+1\times10^9)}$$

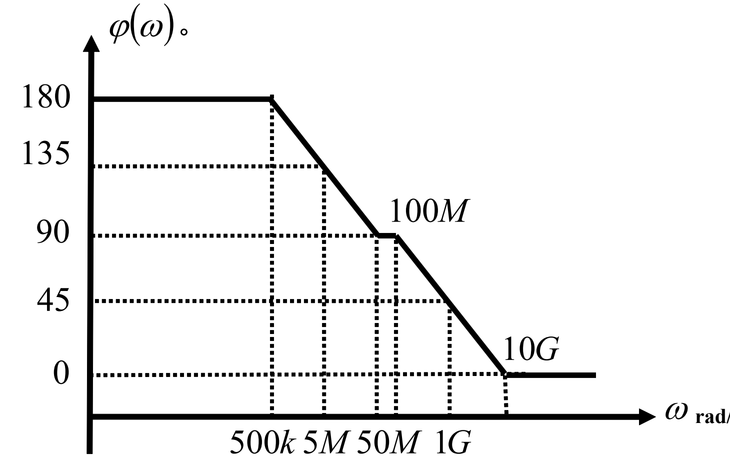
0

0

5×10^6

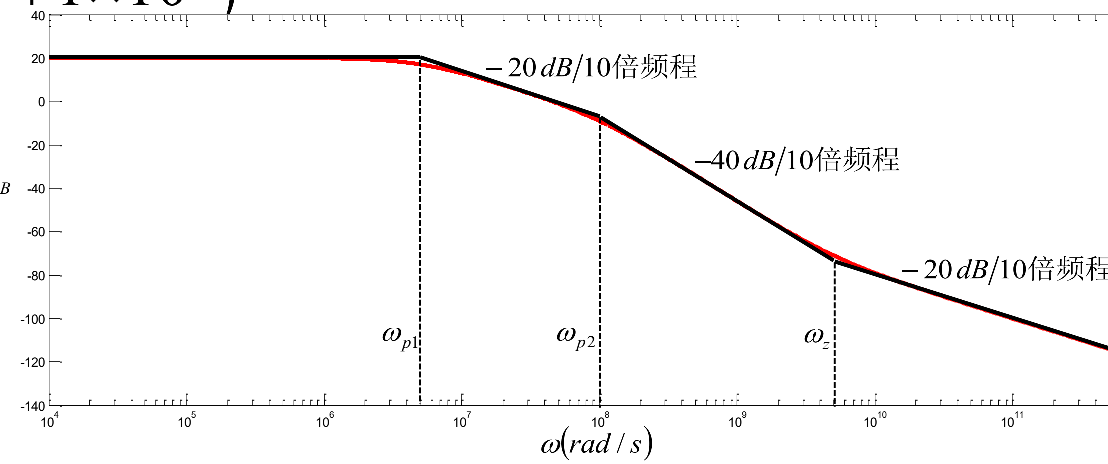
1×10^9



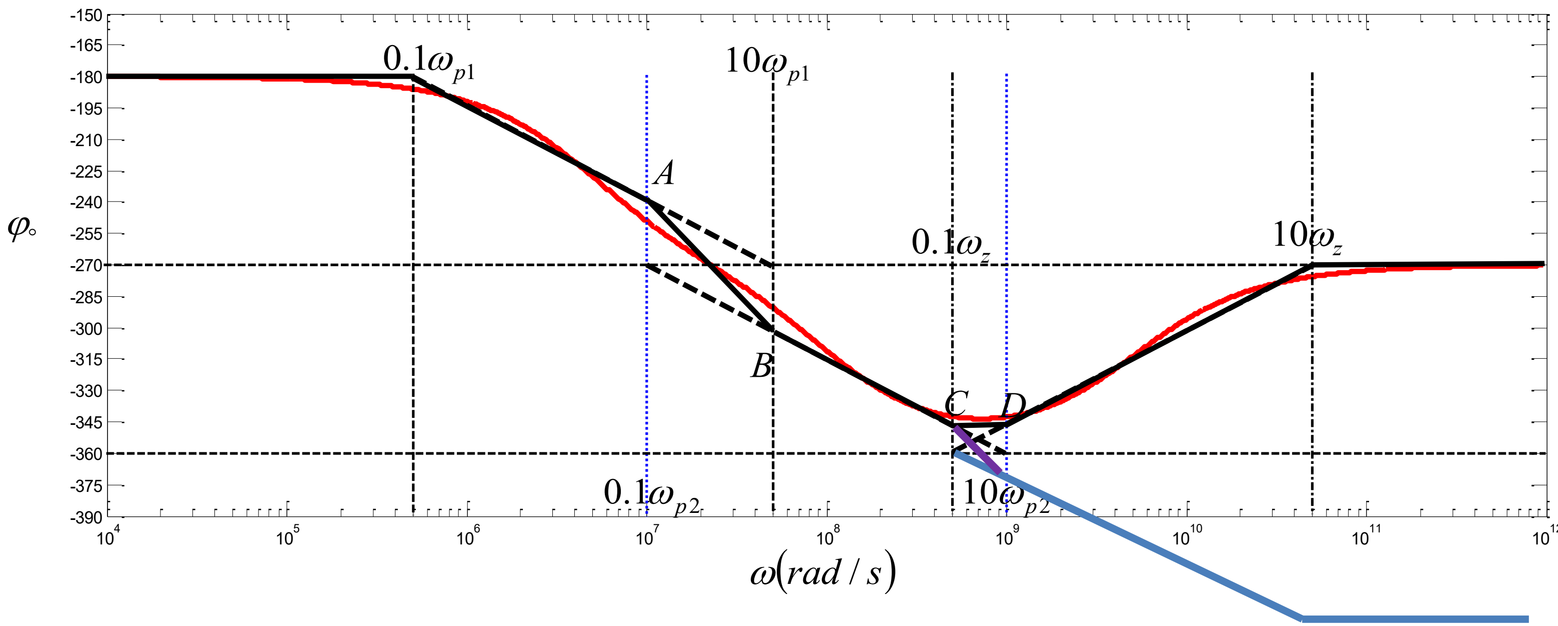


$$H(j\omega)=-10^{6}\frac{j\omega+5\times10^{9}}{\left(j\omega+5\times10^{6}\right)\left(j\omega+1\times10^{8}\right)}$$

$$=-10\frac{1+\dfrac{j\omega}{5\times10^{9}}}{\left(1+\dfrac{j\omega}{5\times10^{6}}\right)\left(1+\dfrac{j\omega}{1\times10^{8}}\right)}$$

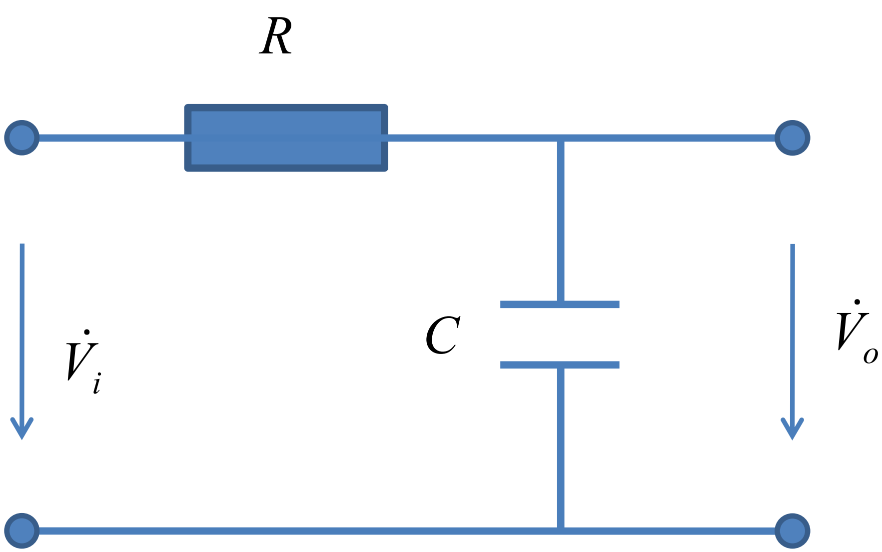


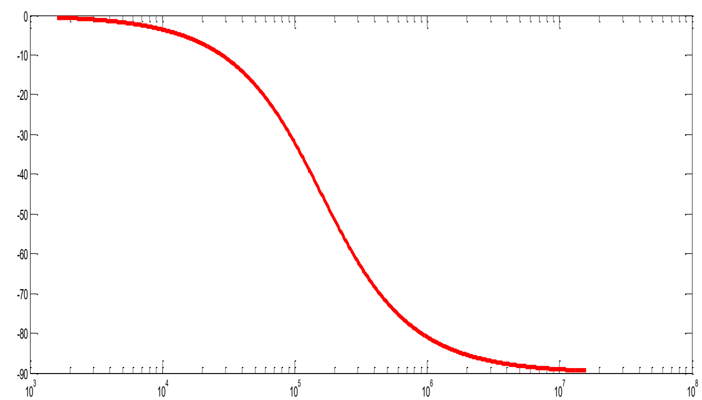
5×10^{6} 1×10^{8} 5×10^{9}



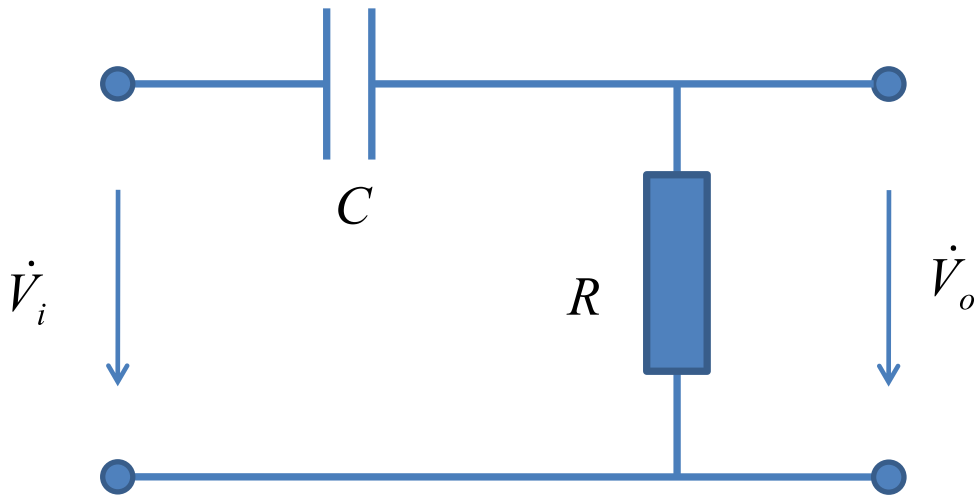
三、移相或延时

- 请设计一个90度移相器，使得输出正弦电压的相位**超前**输入正弦电压90度，已知正弦频率为1MHz



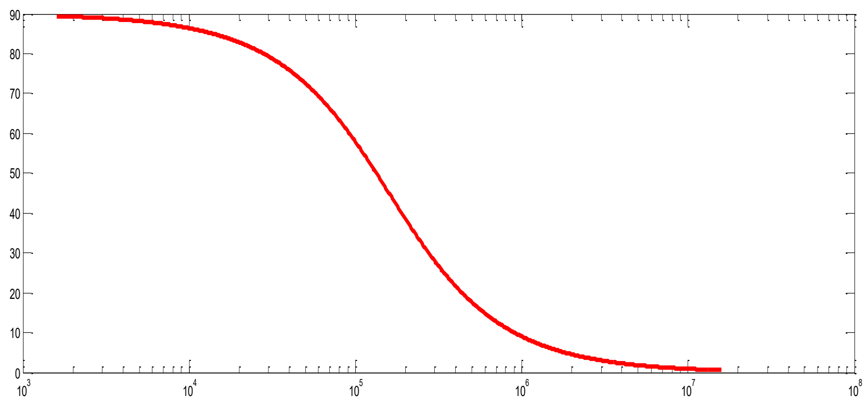


分析：一阶RC低通网络，其输出输入相位关系是**滞后**的

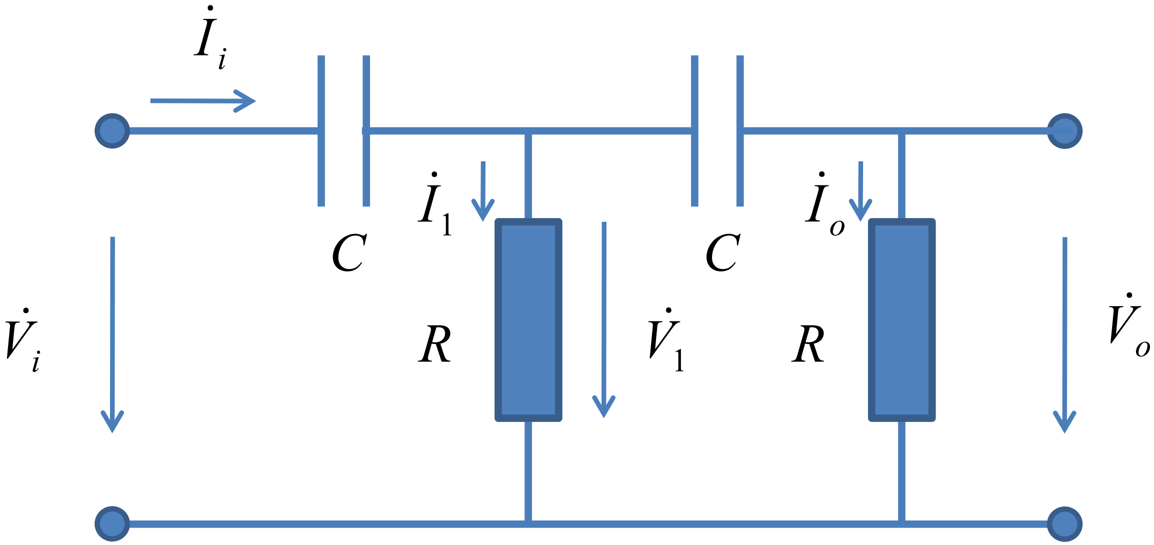


分析2：一阶RC高通网络，其输出输入相位关系是超前的....OK

分析3：一阶RC高通网络，其输出输入相位超前不超过90度....



分析4：可否用两级RC高通网络级联，实现90度相位超前？



分析5：为了简单起见，假设两级电路元件取值相同

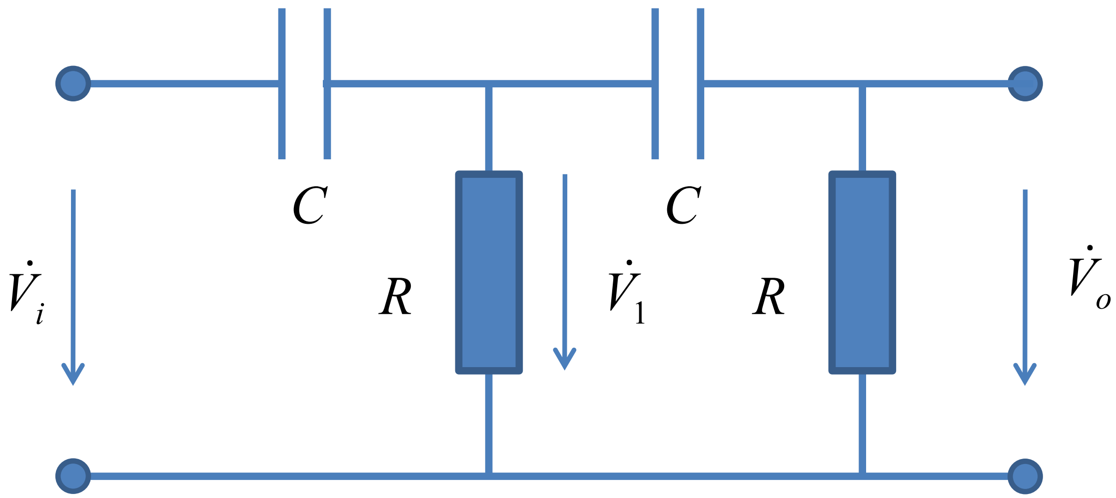
由于前后级相互耦合，不能用两个一阶高通传递函数的乘积获得总传递函数表达式

$$H=\frac{\dot{V}_o}{\dot{V}_i}=\frac{\dot{V}_o}{\dot{V}_1}\cdot\frac{\dot{V}_1}{\dot{V}_i}\quad \surd$$

$$\neq\left(\frac{j\omega RC}{1+j\omega RC}\right)\left(\frac{j\omega RC}{1+j\omega RC}\right)$$

$$\mathbf{ABCD}=\begin{bmatrix}1 & \dfrac{1}{j\omega C}\\ 0 & 1\end{bmatrix}\begin{bmatrix}1 & 0\\ \dfrac{1}{R} & 1\end{bmatrix}\begin{bmatrix}1 & \dfrac{1}{j\omega C}\\ 0 & 1\end{bmatrix}\begin{bmatrix}1 & 0\\ \dfrac{1}{R} & 1\end{bmatrix}$$

$$=\begin{bmatrix}1+\dfrac{1}{j\omega RC} & \dfrac{1}{j\omega C}\\ \dfrac{1}{R} & 1\end{bmatrix}\begin{bmatrix}1+\dfrac{1}{j\omega RC} & \dfrac{1}{j\omega C}\\ \dfrac{1}{R} & 1\end{bmatrix}=\begin{bmatrix}\left(1+\dfrac{1}{j\omega RC}\right)^2+\dfrac{1}{j\omega RC} & \dfrac{1}{j\omega C}\left(2+\dfrac{1}{j\omega RC}\right)\\ \dfrac{1}{R}\left(2+\dfrac{1}{j\omega RC}\right) & 1+\dfrac{1}{j\omega RC}\end{bmatrix}$$



结论：只要取RC时间常数合适，则可实现90度移相

$$RC=\frac{1}{\omega}=\frac{1}{2\pi f}$$

$$=\frac{1}{2\pi\times1\times10^{6}}$$

$$=0.159\mu s$$

$$R=1k\Omega$$

$$C=159pF$$

$$\mathbf{ABCD}=\begin{bmatrix}\left(1+\frac{1}{j\omega RC}\right)^{2}+\frac{1}{j\omega RC} & \frac{1}{j\omega C}\left(2+\frac{1}{j\omega RC}\right)\\ \frac{1}{R}\left(2+\frac{1}{j\omega RC}\right) & 1+\frac{1}{j\omega RC}\end{bmatrix}$$

问题：移相的同时，输出幅度为输入的1/3，如果我们希望保持幅度不变，怎么办？

$$H=\frac{\dot{V}_o}{\dot{V}_i}=A_{v0}=\frac{1}{A}=\frac{1}{\left(1+\frac{1}{j\omega RC}\right)^{2}+\frac{1}{j\omega RC}}=\frac{1}{1-\left(\frac{1}{\omega RC}\right)^{2}+\frac{3}{j\omega RC}}\overset{\omega=\omega_0=\frac{1}{RC}}{=}\frac{j}{3}$$

大纲

- 相量法分析例
  - 正弦激励下的一阶RC数值仿真
  - 滤波特性
  - 移相或延时

- 第三讲数字门电路作业讲解

作业1：一位全加器

- 证明一位全加器的两个逻辑表达式是成立的
  - 根据逻辑表达式，复画CMOS电路
    - 思考：考察这样的逻辑表达式在CMOS门电路实现上有何好处？为什么这样表述？

$$C_{i+1} = B_iC_i + A_iC_i + A_iB_i = \left(A_i + B_i\right)C_i + A_iB_i$$

$$S_i = \overline{A_i} \cdot \overline{B_i} \cdot C_i + \overline{A_i} \cdot B_i \cdot \overline{C_i} + A_i \cdot \overline{B_i} \cdot \overline{C_i} + A_i \cdot B_i \cdot C_i = A_i \cdot B_i \cdot C_i + \left(A_i + B_i + C_i\right) \cdot \overline{C_{i+1}}$$
$$= \left(A_i + B_i + C_i\right) \cdot \left(A_i \cdot B_i \cdot C_i + \overline{C_{i+1}}\right)$$

真值表一致
或者运用逻辑运算规则证明

思考：很多种表达式代表同一逻辑运算，但哪种是最适宜于CMOS电路实现的呢？

证明两个逻辑表达式

$$C_{i+1} = B_iC_i + A_iC_i + A_iB_i = \left(A_i + B_i\right)C_i + A_iB_i$$

结合律，分配律，同数学乘加运算

$$S_i = \overline{A_i} \cdot \overline{B_i} \cdot C_i + \overline{A_i} \cdot B_i \cdot \overline{C_i} + A_i \cdot \overline{B_i} \cdot \overline{C_i} + A_i \cdot B_i \cdot C_i = A_i \cdot B_i \cdot C_i + \left(A_i + B_i + C_i\right) \cdot \overline{C_{i+1}}$$

$$= \left(A_i + B_i + C_i\right) \cdot \left(A_i \cdot B_i \cdot C_i + \overline{C_{i+1}}\right)$$

关系没有那么一眼看出的那么明显

A_i	B_i	C_i	C_{i+1}	S_i		$\overline{C_{i+1}}$	$\left(A_i + B_i + C_i\right)$		$A_iB_iC_i$	
0	0	0	0	0		1	0	0	0	0
0	0	1	0	1		1	1	1	0	1
0	1	0	0	1		1	1	1	0	1
0	1	1	1	0		0	1	0	0	0
1	0	0	0	1		1	1	1	0	1
1	0	1	1	0		0	1	0	0	0
1	1	0	1	0		0	1	0	0	0
1	1	1	1	1		0	1	0	1	1

两个1或三个1

一个1或三个1

没有1或一个1

有1即可

一个1

三个1

一个1或三个1

和式逻辑

$$S_i = \overline{A_i}\cdot\overline{B_i}\cdot C_i + \overline{A_i}\cdot B_i\cdot\overline{C_i} + A_i\cdot\overline{B_i}\cdot\overline{C_i} + A_i\cdot B_i\cdot C_i = A_i\cdot B_i\cdot C_i + \left(A_i + B_i + C_i\right)\cdot\overline{C_{i+1}}$$

$$= \left(A_i + B_i + C_i\right)\cdot\left(A_i\cdot B_i\cdot C_i + \overline{C_{i+1}}\right)$$

A_i	B_i	C_i	C_{i+1}	S_i		$\overline{C_{i+1}}$	$A_iB_iC_i$		$\left(A_i + B_i + C_i\right)$	
0	0	0	0	0		1	0	1	0	0
0	0	1	0	1		1	0	1	1	1
0	1	0	0	1		1	0	1	1	1
0	1	1	1	0		0	0	0	1	0
1	0	0	0	1		1	0	1	1	1
1	0	1	1	0		0	0	0	1	0
1	1	0	1	0		0	0	0	1	0
1	1	1	1	1		0	1	1	1	1

两个1或三个1

一个1或三个1

没有1或一个1

三个1

没有1或一个1或三个1

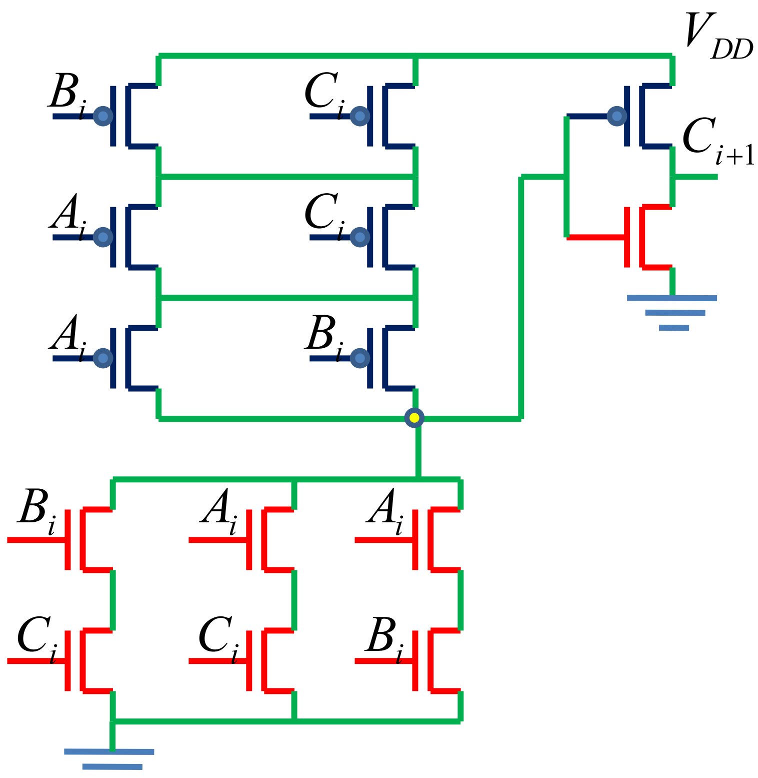
有1即可

一个1或三个1

$$C_{i+1} = B_iC_i + A_iC_i + A_iB_i = (A_i + B_i)C_i + A_iB_i$$

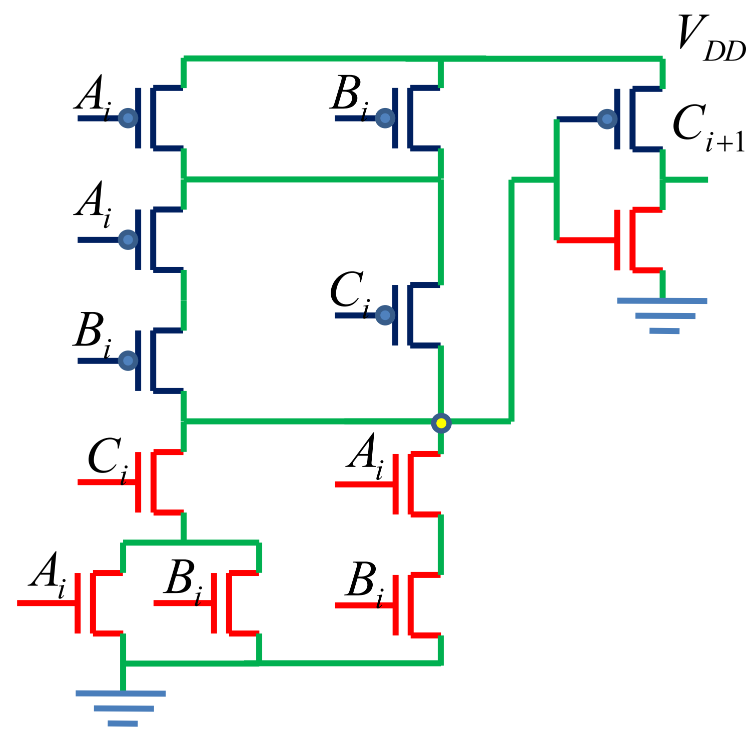
表达式转换的好处

出现6个输入变量，12个晶体管
输出求反，2个晶体管
2个变量与，NMOS-2层
3个变量或，PMOS-3层
两级晶体管延时



14个晶体管，5层垒叠

出现5个输入变量，10个晶体管
输出求反，2个晶体管
2个变量与，NMOS-2层
3个变量或，PMOS-3层
两级晶体管延时

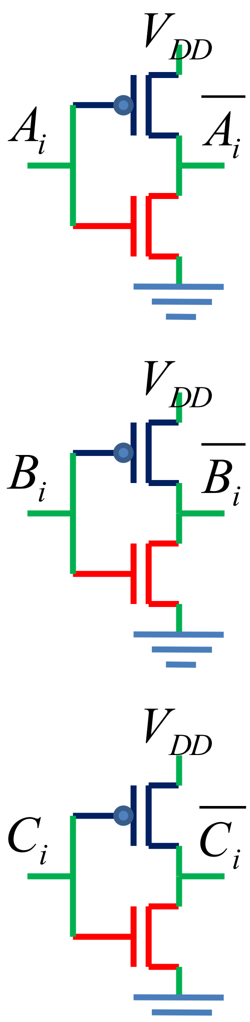


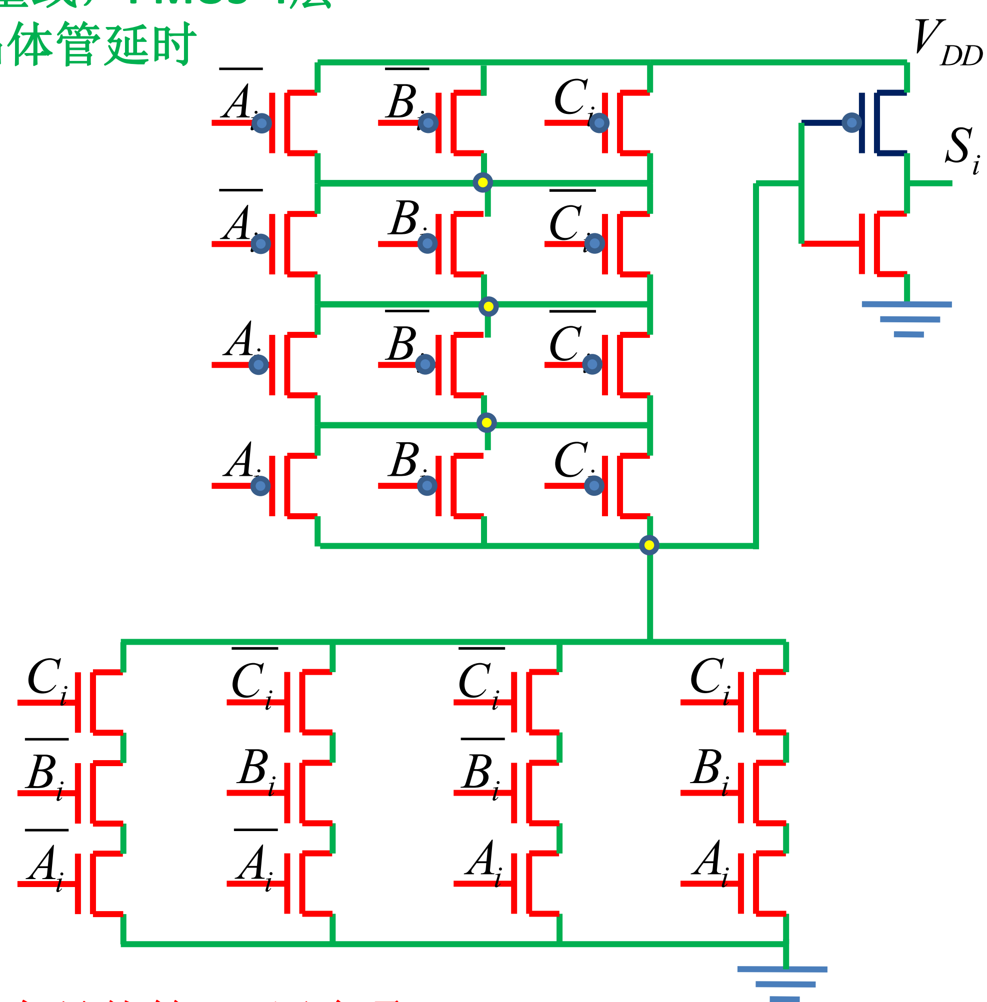
12个晶体管，5层垒叠

$$S_i = \overline{A_i}\cdot\overline{B_i}\cdot C_i + \overline{A_i}\cdot B_i\cdot\overline{C_i} + A_i\cdot\overline{B_i}\cdot\overline{C_i} + A_i\cdot B_i\cdot C_i$$

表达式转换的好处

出现12个输入变量，24个晶体管
三个输入变量求反，输出求反，8个晶体管
3个变量与，NMOS-3层
4个变量或，PMOS-4层
三级晶体管延时

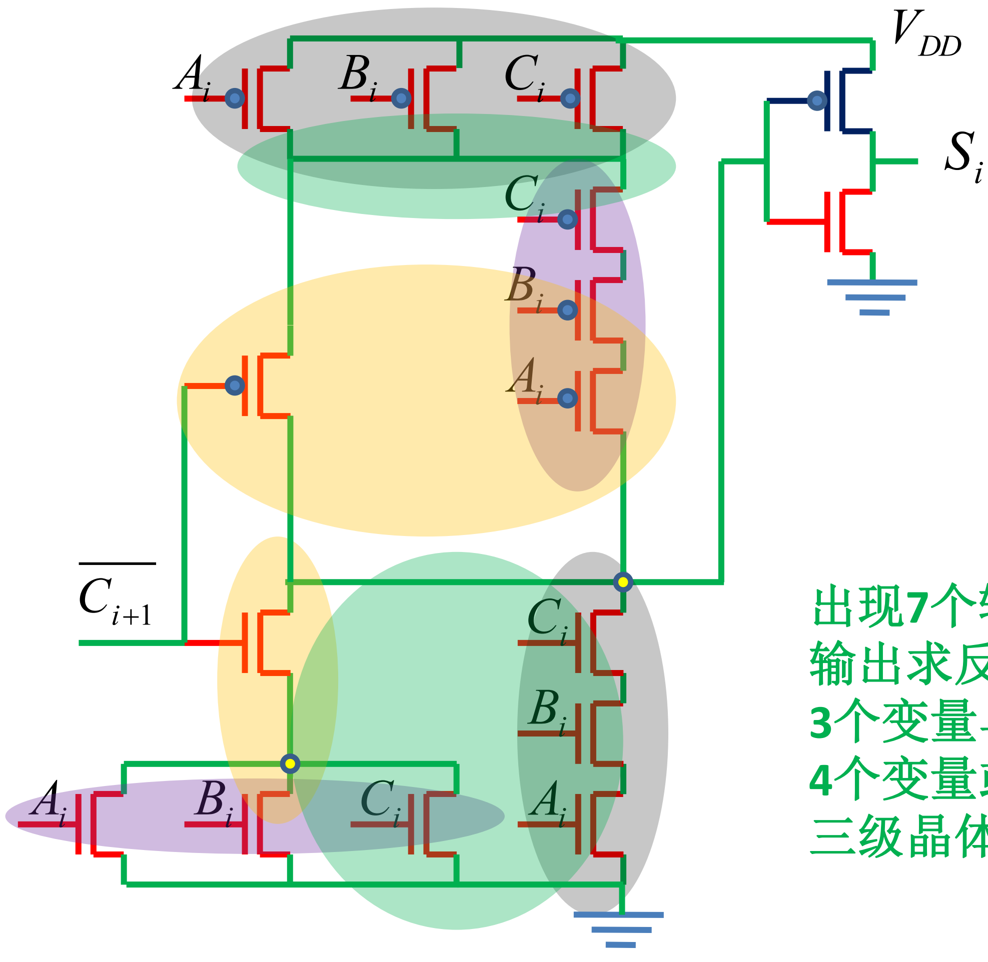




32个晶体管，7层垒叠

逻辑表达式转换的好处

$$S_i = \overline{A_i}\cdot\overline{B_i}\cdot C_i + \overline{A_i}\cdot B_i\cdot\overline{C_i} + A_i\cdot\overline{B_i}\cdot\overline{C_i} + A_i\cdot B_i\cdot C_i$$
$$= A_i\cdot B_i\cdot C_i + (A_i + B_i + C_i)\cdot\overline{C_{i+1}}$$

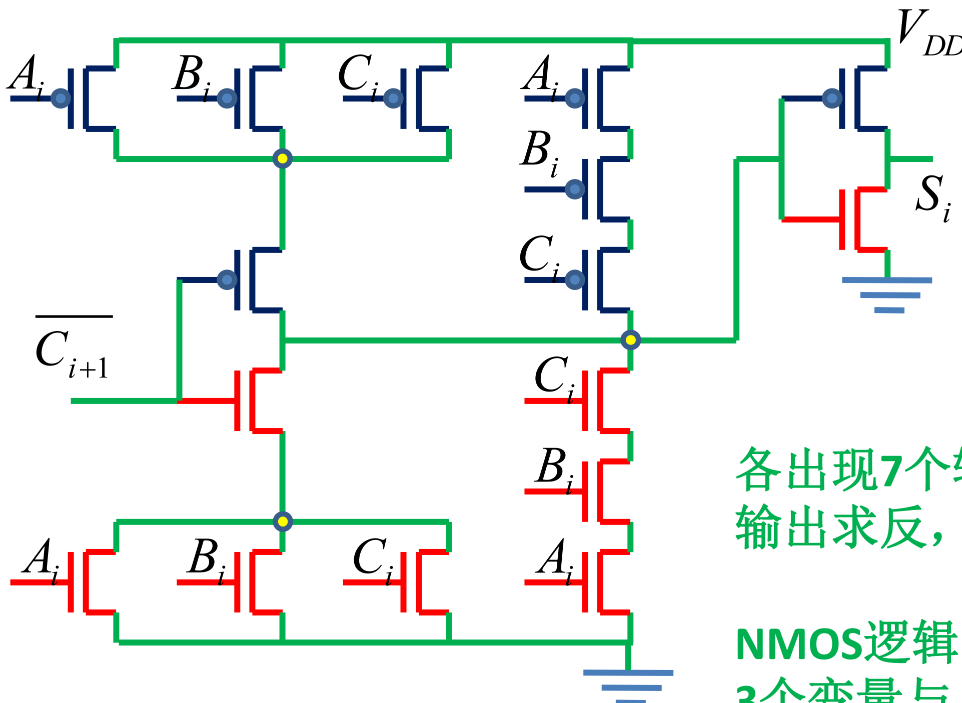


出现7个输入变量，14个晶体管
输出求反，2个晶体管
3个变量与，NMOS-3层
4个变量或，PMOS-4层
三级晶体管延时

16个晶体管，7层垒叠

逻辑表达式转换的好处

$$S_i = \overline{A_i} \cdot \overline{B_i} \cdot C_i + \overline{A_i} \cdot B_i \cdot \overline{C_i} + A_i \cdot \overline{B_i} \cdot \overline{C_i} + A_i \cdot B_i \cdot C_i$$
$$= A_i \cdot B_i \cdot C_i + \left(A_i + B_i + C_i\right) \cdot \overline{C_{i+1}} = \left(A_i + B_i + C_i\right) \cdot \left(A_i \cdot B_i \cdot C_i + \overline{C_{i+1}}\right)$$



16个晶体管，6层垒叠

各出现7个输入变量，14个晶体管
输出求反，2个晶体管

NMOS逻辑
3个变量与，NMOS-3层

PMOS逻辑
3个变量或，PMOS-3层

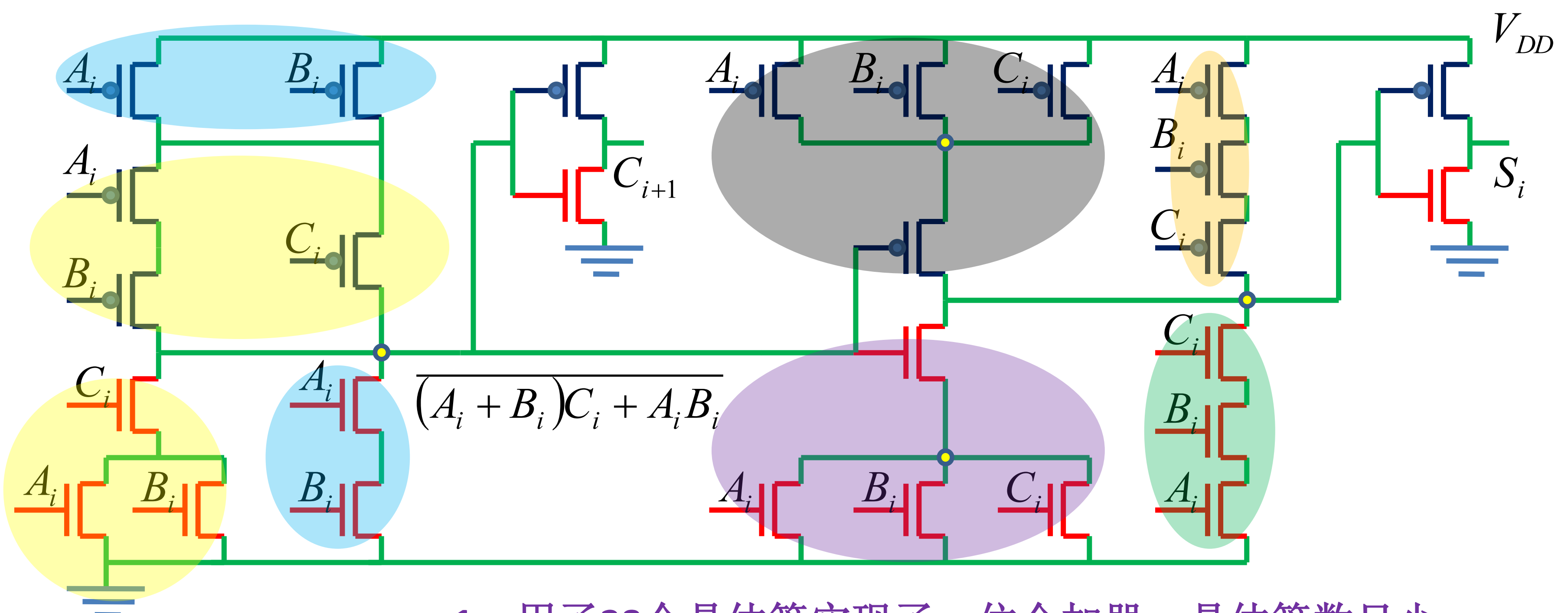
三级晶体管延时

一位全加器的CMOS实现方案例

$$C_{i+1} = B_iC_i + A_iC_i + A_iB_i = (A_i + B_i)C_i + A_iB_i$$

$$S_i = \overline{A_i}\cdot\overline{B_i}\cdot C_i + \overline{A_i}\cdot B_i\cdot\overline{C_i} + A_i\cdot\overline{B_i}\cdot\overline{C_i} + A_i\cdot B_i\cdot C_i = A_i\cdot B_i\cdot C_i + (A_i + B_i + C_i)\cdot\overline{C_{i+1}}$$

$$= (A_i + B_i + C_i)\cdot(A_i\cdot B_i\cdot C_i + \overline{C_{i+1}})$$



1、用了28个晶体管实现了一位全加器；晶体管数目少
2、输出用反相器，缓冲输出逻辑电平稳定

作业2：卡诺图化简

AB \ CD	00	01	11	10
00	1	0	0	1
01	0	1	*	*
11	1	1	*	1
10	1	*	0	1

化简卡诺图，写出输出Z用ABCD表述的逻辑表达式

用PMOS互补NMOS的CMOS电路形态（上P下N，形式互补）实现这些逻辑运算，画出CMOS晶体管级电路图

连1化简

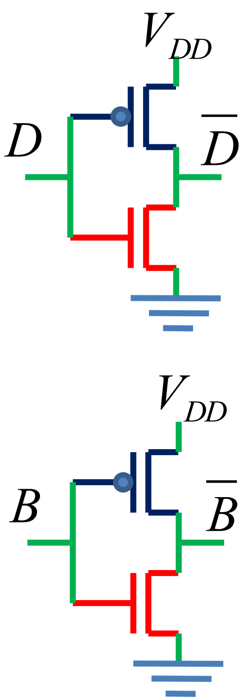
AB \ CD	00	01	11	10
00	1	0	0	1
01	0	1	*	*
11	1	1	*	1
10	1	*	0	1

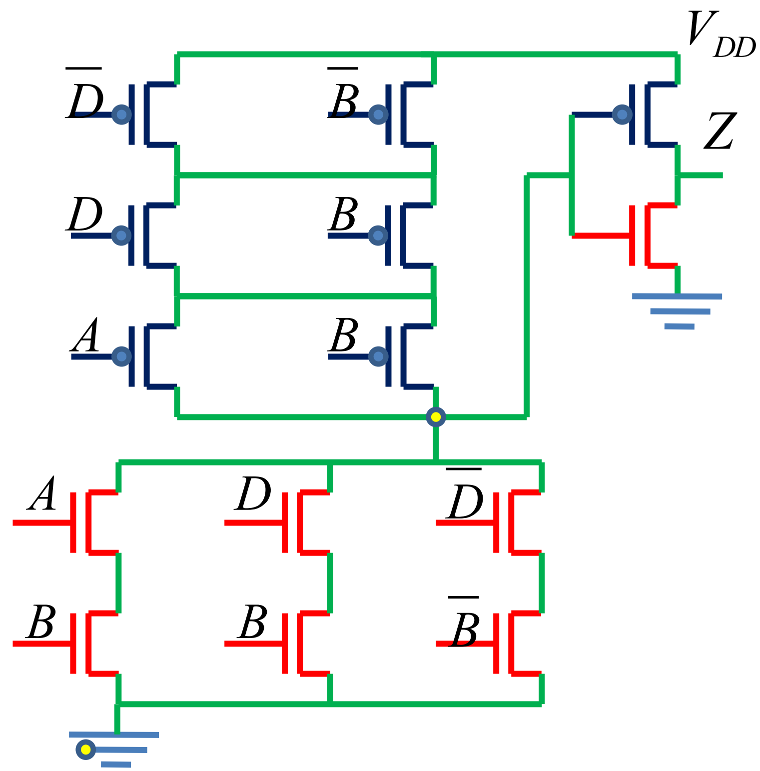
$$Z = \boxed{A \cdot B} + \boxed{B \cdot D} + \boxed{\overline{B} \cdot \overline{D}}$$

表述不唯一

$$Z = A \cdot B + B \cdot D + \overline{B} \cdot \overline{D}$$

CMOS实现



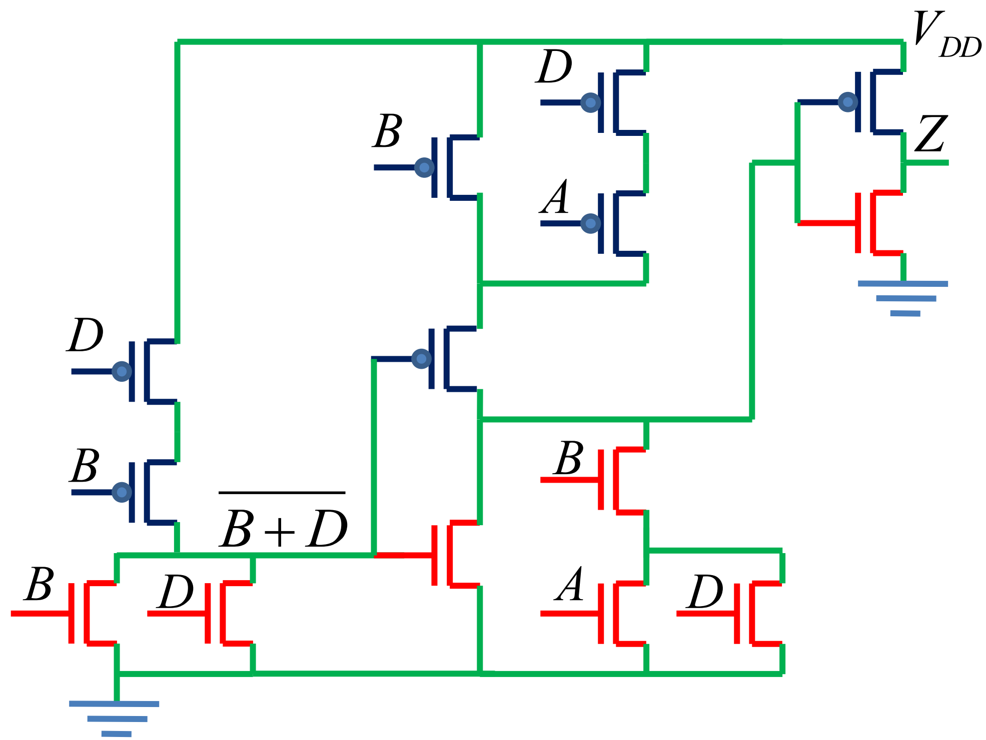


18个晶体管，5层垒叠

出现6个输入变量，12个晶体管
两个输入求反，输出求反，6个晶体管
2个变量与，NMOS-2层
3个变量或，PMOS-3层
三级晶体管延时

$$Z = A\cdot B + B\cdot D + \overline{B}\cdot\overline{D} = B\cdot\left(A+D\right)+\overline{B+D}$$

逻辑表达式转换

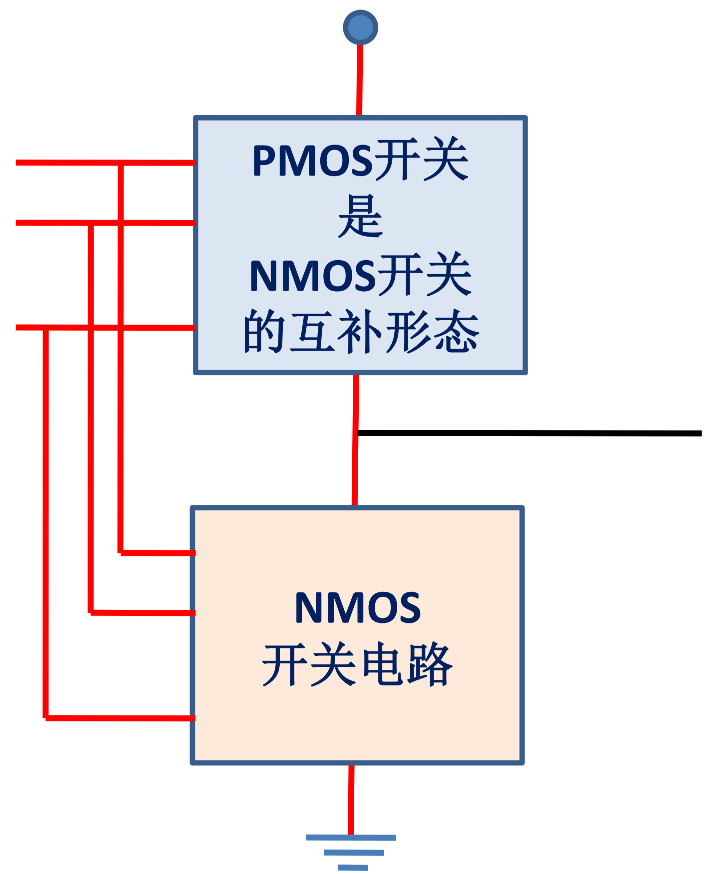


14个晶体管，5层垒叠

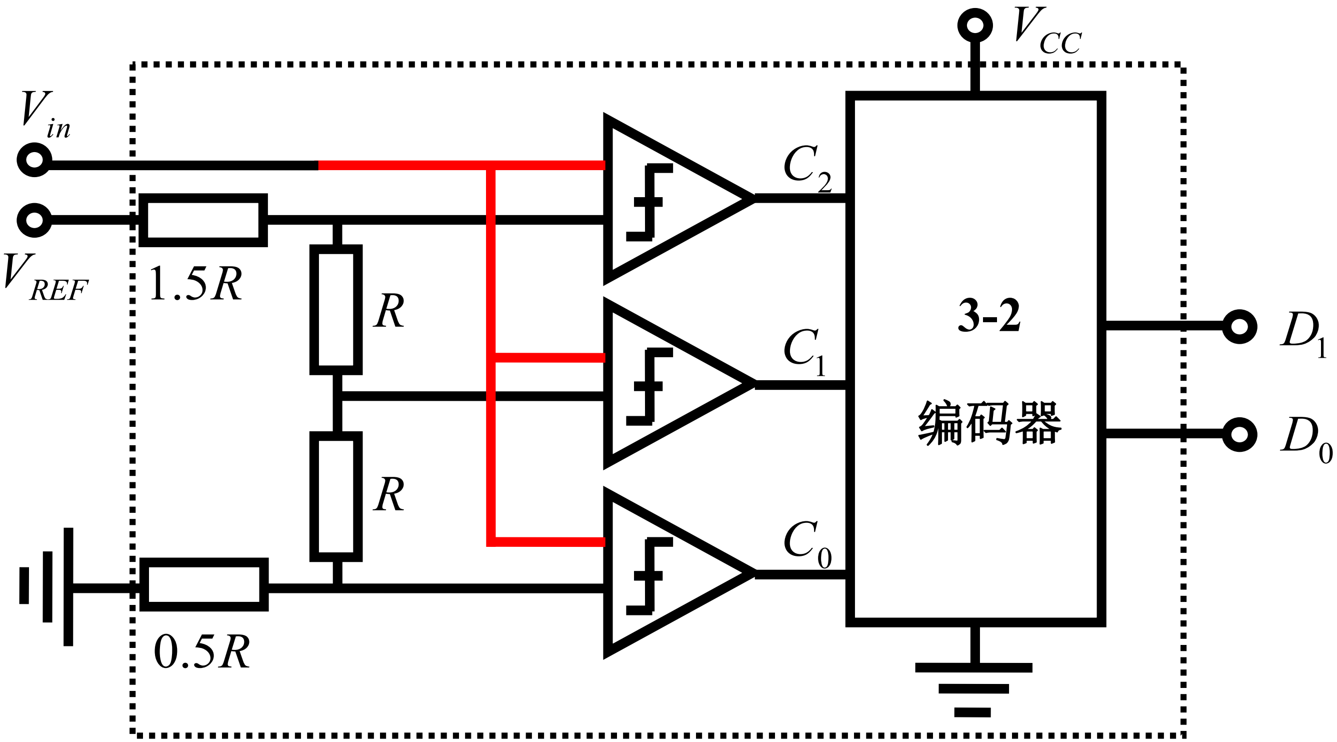
出现5个输入变量，10个晶体管
输出求反，2个晶体管
中间变量为新的1个输入，2个晶体管
2个变量与，NMOS-2层
3个变量或，PMOS-3层
三级晶体管延时

易犯错误

- 卡诺图化简，应标出化简过程，确认所有的1都被包容进去
  - 用圆圈标记，让别人看到你是如何化简的
- CMOS门电路，非标准的上P下N，不能正确工作
  - 上P下N是开关
  - 上N下P是跟随器，不是开关
- 写法错误：不分 $\overline{C_1}\cdot\overline{C_0}\overset{???}{=}\overline{C_1 C_0}$



FLASH ADC



模拟输入电压	$C_2C_1C_0$	数字输出码D_1D_0
$V_{in} < \frac{1}{8}V_{REF}$	**000**	**00**
$\frac{1}{8}V_{REF} < V_{in} < \frac{3}{8}V_{REF}$	**001**	**01**
$\frac{3}{8}V_{REF} < V_{in} < \frac{5}{8}V_{REF}$	**011**	**10**
$V_{in} > \frac{5}{8}V_{REF}$	**111**	**11**

作业3：编码器设计

- 已知flash-ADC的码表如左图
- 设计编码器，实现flash-ADC的正确输出，并画出编码器的CMOS实现方案
  - 用卡诺图进行化简
  - CMOS：上P下N，形式互补
  - C_2、C_1、C_0已经经过电平转换电路，使得逻辑1对应电压V_{DD}，逻辑0则对应地电压

$C_2C_1C_0$	数字输出码D_1D_0
000	00
001	01
011	10
111	11

三个输入变量，共8种情况，这里仅有4种情况剩下4种情况真值表中都是*(是0是1不在乎)，因为在实际电路中，这4种情况不会也不应该出现

如果出现了则是比较器电路问题，不是解码器问题

卡诺图化简

$C_2C_1C_0$	数字输出码D_1D_0
000	00
001	01
011	10
111	11

D_1

C_2\C_1C_0	00	01	11	10
0	0	0	1	*
1	*	*	1	*

$$D_1 = C_1$$

D_0

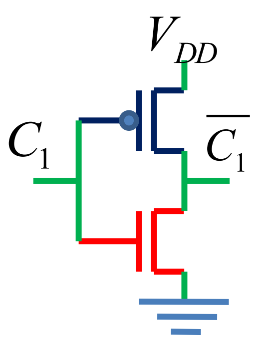
C_2\C_1C_0	00	01	11	10
0	0	1	0	*
1	*	*	1	*

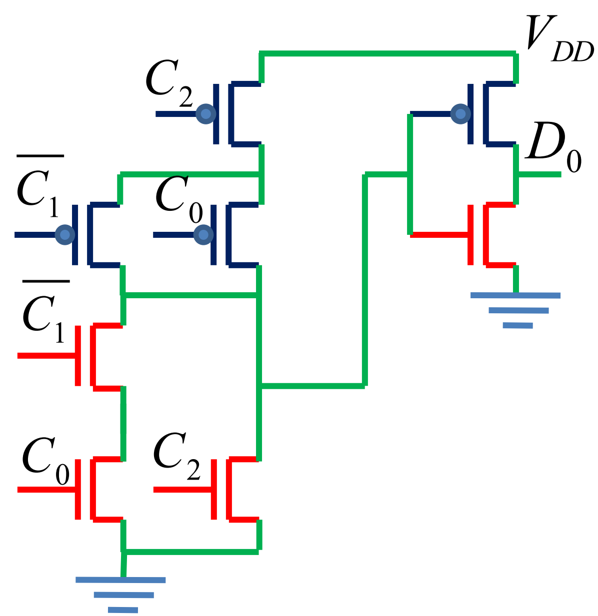
$$D_0 = C_2 + \overline{C_1} \cdot C_0$$

CMOS电路实现

$$D_1 = C_1$$

$$D_0 = C_2 + \overline{C_1} \cdot C_0$$

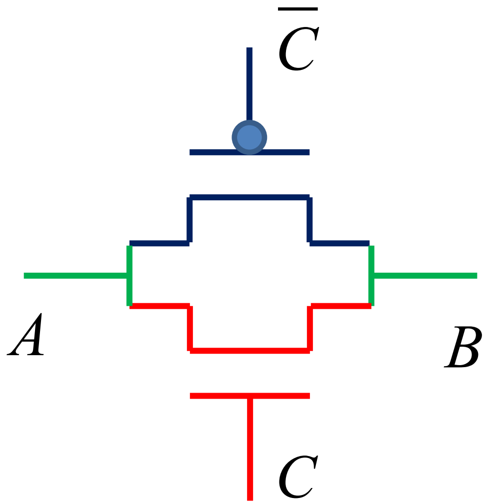


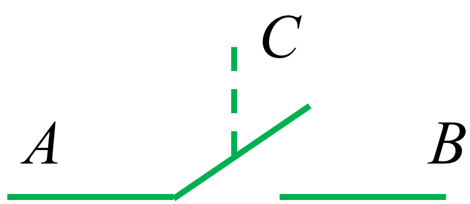


易犯错误

- 用卡诺图化简未得到最简形式，或者化简错误
- CMOS电路图错，不是标准的上PMOS，下NMOS，而是混杂连接
- 两个逻辑输出（点接）并联
  - 除非逻辑输出是三态（逻辑1，逻辑0，高阻），否则不允许多个逻辑输出并联（共地点接）
- 什么时候可以点接？
  - 两个输出没有任何冲突
    - 存在高阻态，一个有输出时，另一个是高阻态，就可以点接并联
    - 都是逻辑1输出或都是逻辑0输出（少见，没有必要）

作业4：信号传输路径上的传输开关

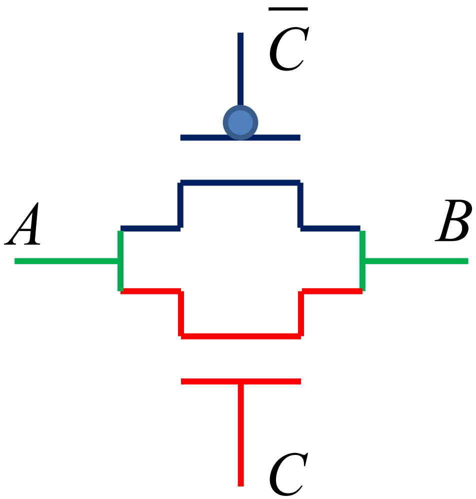




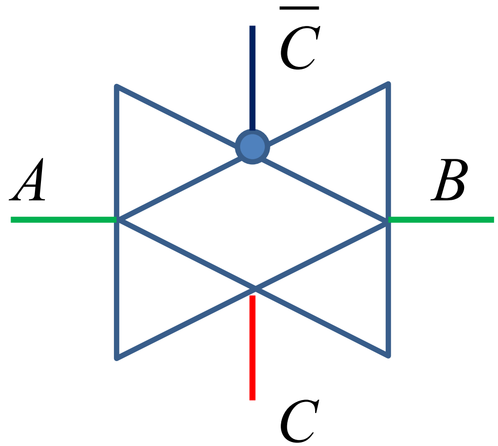
晶体管做开关时，希望是欧姆导通
判断晶体管是恒流导通还是欧姆导通
VGS>VTH：导通
VGD>VTH：欧姆通，VGD<VTH：恒流通

- 图示为经典的传输开关CMOS实现方案
  - 假设A接逻辑1源（输入端），B接负载电阻/电容（输出端）
    - 当C为高电平（逻辑1）时，（NMOS栅极电压高电平，NMOS恒流导通，）PMOS栅极电压低电平，PMOS欧姆导通，等效为开关的闭合状态，负载电压高电平（逻辑1传输）
    - 当C为低电平（逻辑0）时，NMOS和PMOS均截至，输出悬空（负载电阻接地，逻辑0）
  - 假设A接逻辑0源（输入端），B接负载电阻/电容（输出端）
    - 当C为高电平（逻辑1）时，NMOS栅极电压高电平，NMOS欧姆导通（PMOS栅极电压低电平，PMOS恒流导通），等效为开关的闭合状态，负载电压低电平（逻辑0传输）
    - …

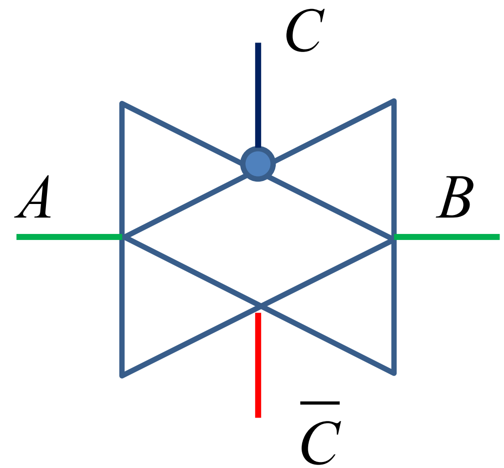
CMOS传输开关符号



双向导通



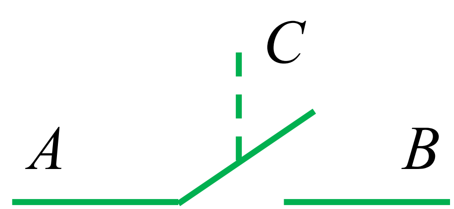
$$B=\begin{cases} CA & C=1 \\ \text{悬空} & C=0 \end{cases}$$



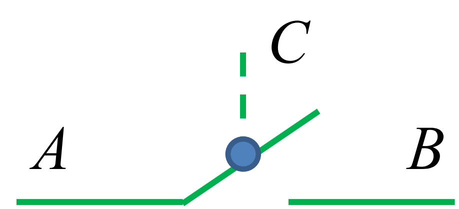
$$B=\begin{cases} \overline{C}A & C=0 \\ \text{悬空} & C=1 \end{cases}$$

假设A为输入（A之前电路可等效为源）

B为输出（B之后电路可等效为负载）



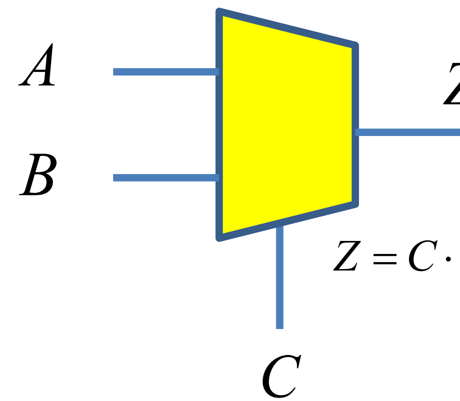
C为1时允许A过去



C为0时允许A过去

作业：多路选择器Multiplexer设计

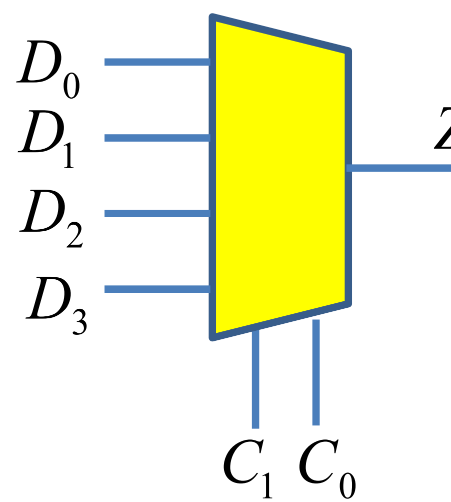
- **4、用CMOS电路实现一个双路选择器，里面采用CMOS传输开关，画出晶体管级CMOS电路图**
  - 如果控制端C=1，则传输A
  - 如果控制端C=0，则传输B



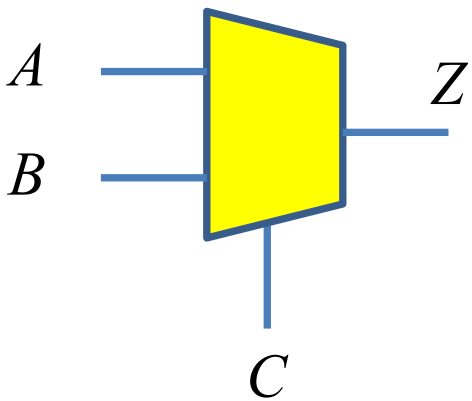
$$Z = C \cdot A + \overline{C} \cdot B$$

- **5、请设计一个4路选择器，画出CMOS实现电路图**
  - 如果控制端C_1C_0=00，则传输D_0
  - 如果控制端C_1C_0=01，则传输D_1
  - 如果控制端C_1C_0=10，则传输D_2
  - 如果控制端C_1C_0=11，则传输D_3

$$Z = \overline{C_1} \cdot \overline{C_0} \cdot D_0 + \overline{C_1} \cdot C_0 \cdot D_1 + C_1 \cdot \overline{C_0} \cdot D_2 + C_1 \cdot C_0 \cdot D_3$$

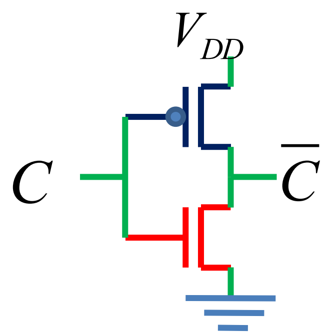


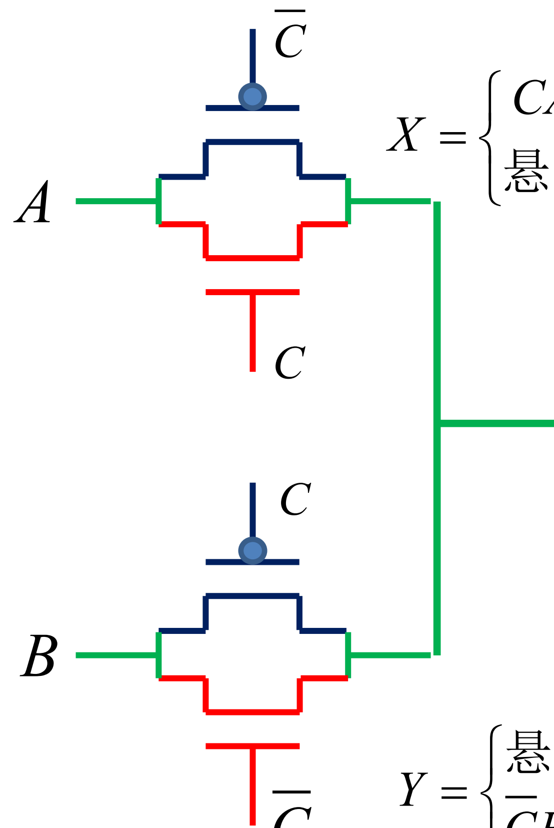
双路选择器



$$Z = CA + \bar{C}B$$

C为1，选择A
C为0，选择B



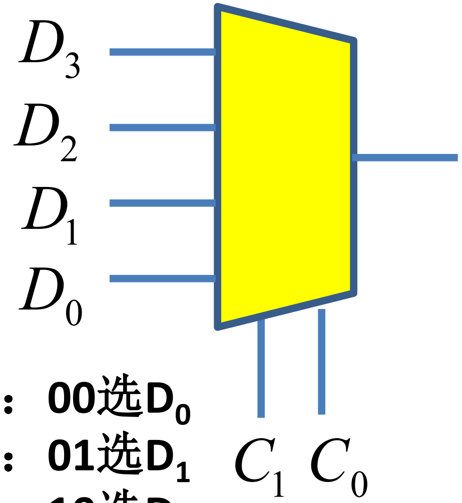


$$X = \begin{cases} CA & C = 1 \\ \text{悬空} & C = 0 \end{cases}$$

$$Z = X\text{并}Y$$
$$= CA + \bar{C}B$$

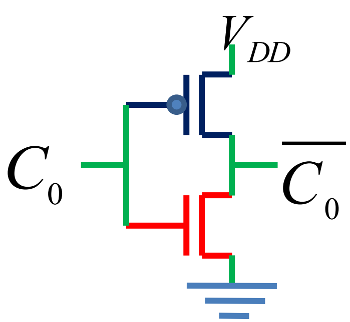
$$Y = \begin{cases} \text{悬空} & C = 1 \\ \bar{C}B & C = 0 \end{cases}$$

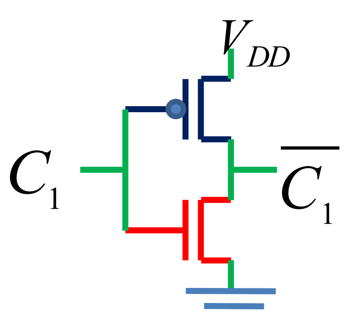
四路选择器

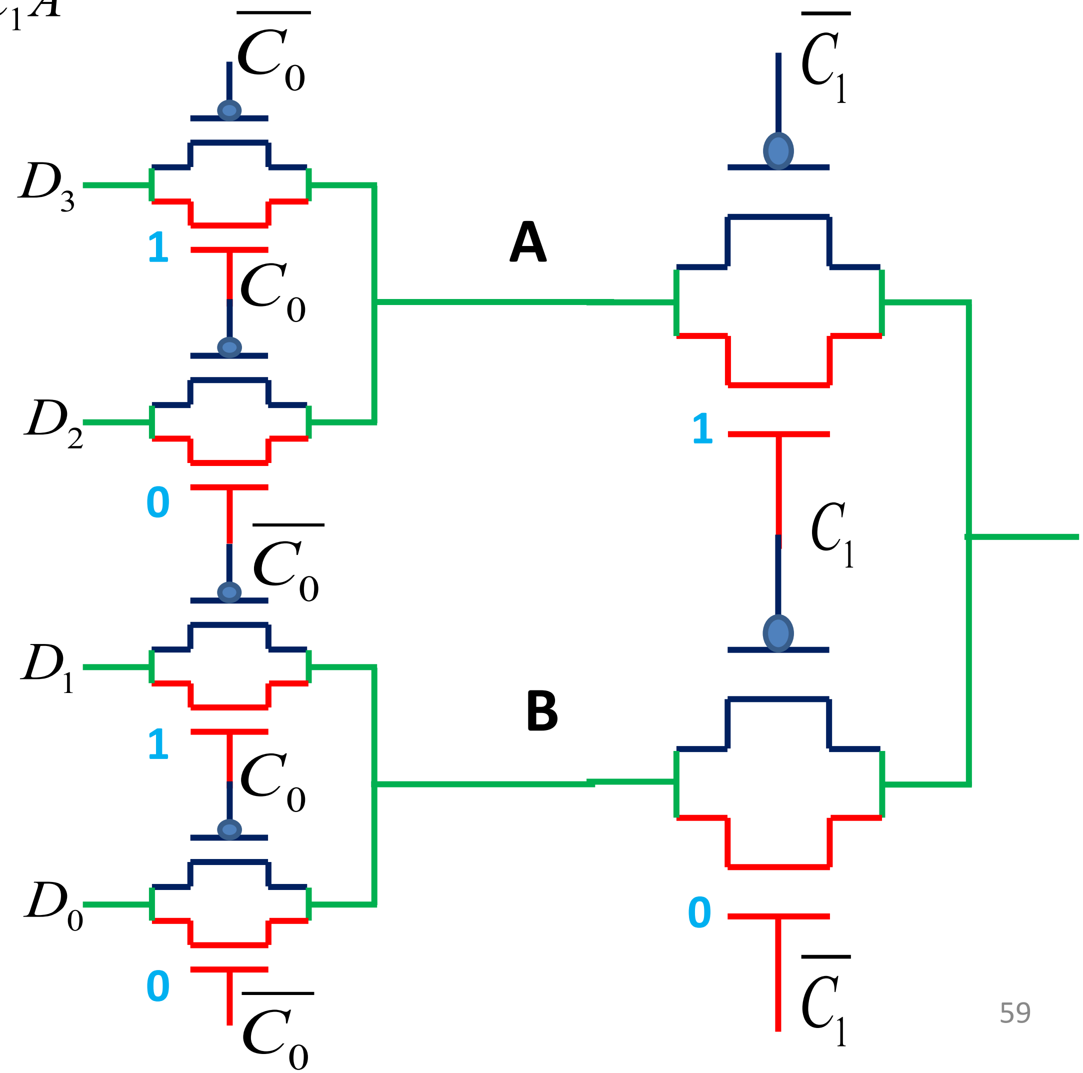


$$
\begin{aligned}
Z &= \overline{C_1}\,\overline{C_0}D_0 + \overline{C_1}C_0D_1 + C_1\overline{C_0}D_2 + C_1C_0D_3 \\
&= \overline{C_1}\left(\overline{C_0}D_0 + C_0D_1\right) + C_1\left(\overline{C_0}D_2 + C_0D_3\right) \\
&= \overline{C_1}B + C_1A
\end{aligned}
$$

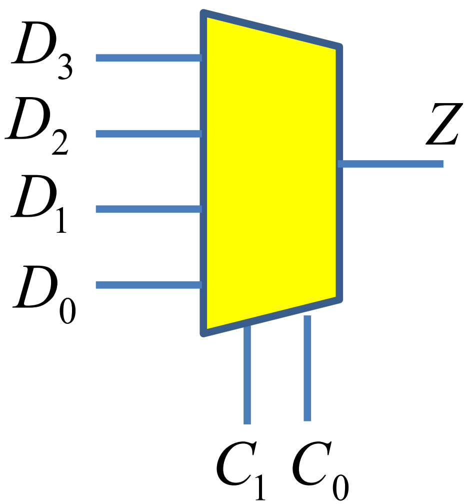
C_1C_0：00选D_0
C_1C_0：01选D_1
C_1C_0：10选D_2
C_1C_0：11选D_3







多路选择器的思考



把控制端的所有可能性都考虑到了
因而用多路选择器可以实现任意组合逻辑运算

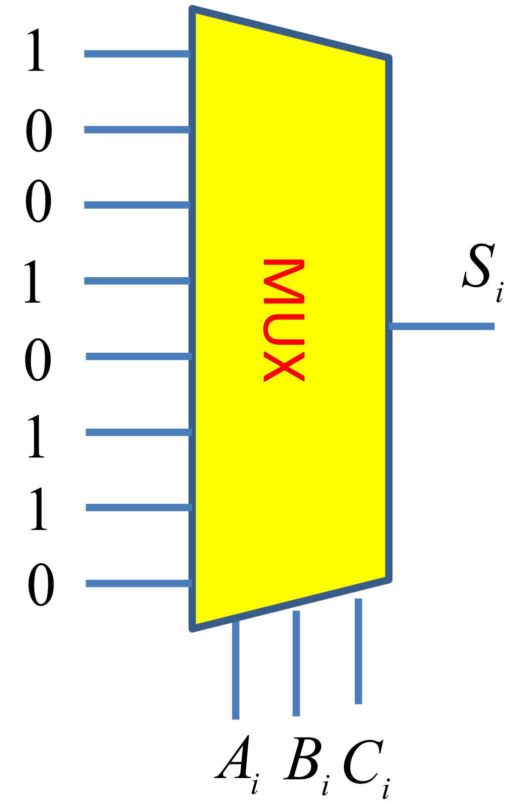
组合逻辑：没有反馈通路的的与、或、非逻辑运算
输出仅由当前输入决定

$$Z = \overline{C_1}\,\overline{C_0}D_0 + \overline{C_1}C_0D_1 + C_1\overline{C_0}D_2 + C_1C_0D_3$$

加法器和位逻辑例

A_i	B_i	C_i	S_i
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

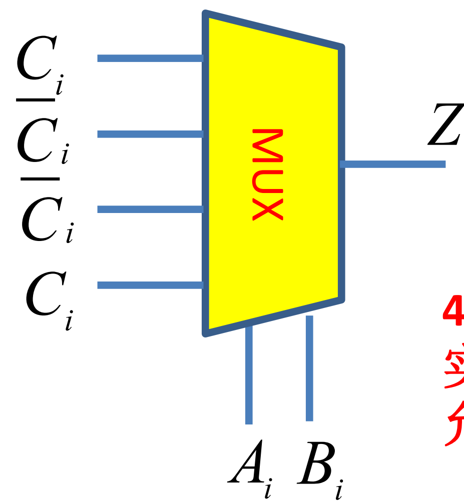
$$S_i = \overline{A_i}\,\overline{B_i}C_i + \overline{A_i}B_i\overline{C_i} + A_i\overline{B_i}\,\overline{C_i} + A_iB_iC_i$$



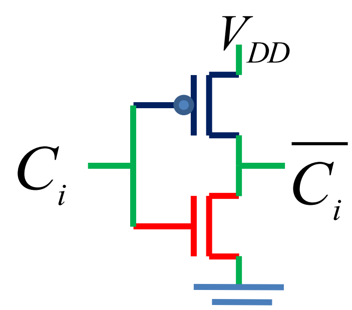
加法器和位逻辑例

A_i	B_i	C_i	S_i
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

$$S_i = \overline{A_i}\,\overline{B_i}C_i + \overline{A_i}B_i\overline{C_i} + A_i\overline{B_i}\,\overline{C_i} + A_iB_iC_i$$



4选1多路选择器可实现3输入逻辑运算允许添加非门

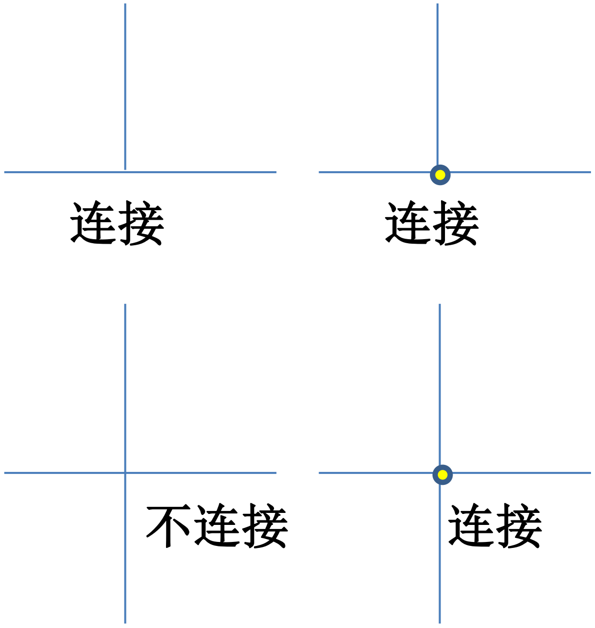


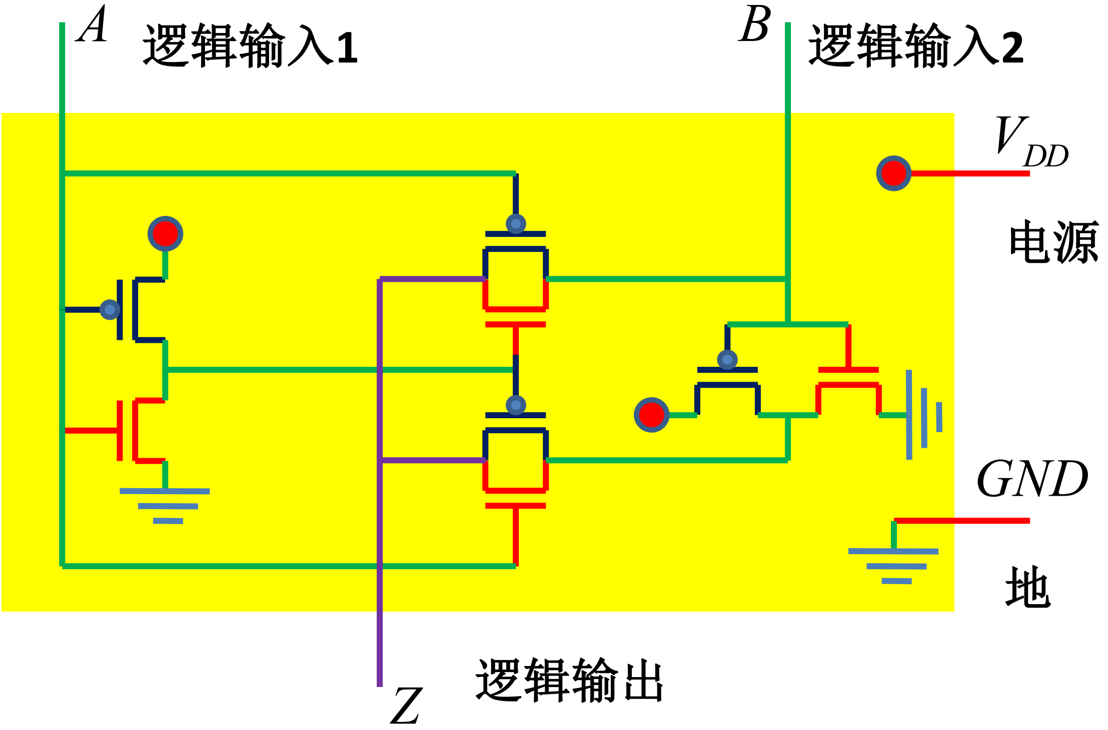
多路选择器小结

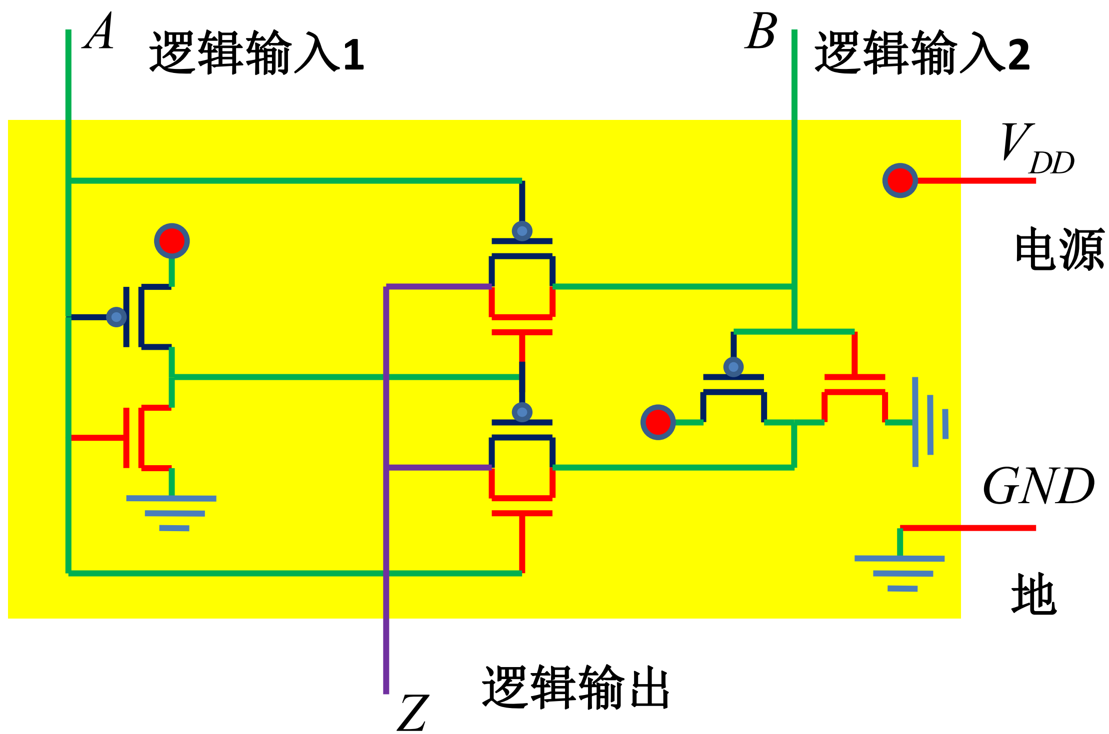
- 原则上，多路选择器可以实现任意的组合逻辑运算
- 本课程要求能够看懂有多路选择器的逻辑电路所实现的逻辑功能
- 本课程要求能够用CMOS标准形式（上P下N互补结构）设计简单逻辑
  - 指定用CMOS互补结构时，不能采用多路选择器方案

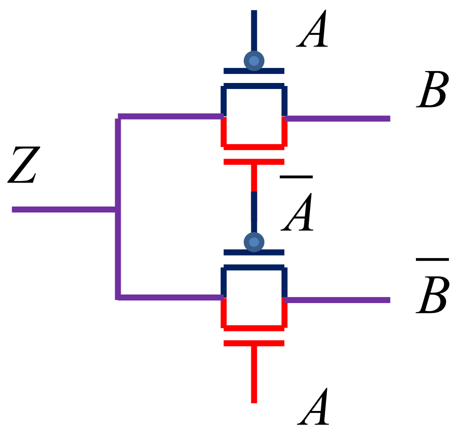
作业6：逻辑运算分析

- 请分析如图所示电路实现的是什么逻辑运算？
  - 给出详尽的分析过程









用多路选择器实现的逻辑功能

$$Z = \overline{A} \cdot B + A \cdot \overline{B} = A \oplus B$$

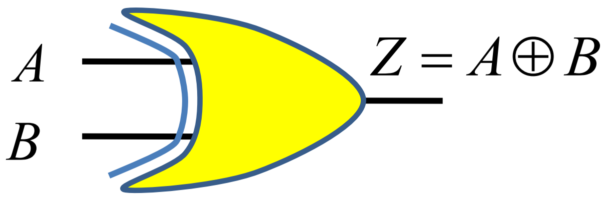
异或运算

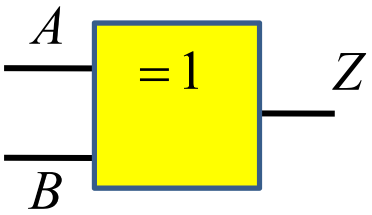
异或门、异或非门

A	B	A⊕B
0	0	0
0	1	1
1	0	1
1	1	0

异或门:两个不同则正确，两个相同则错误

XOR: Exclusive OR

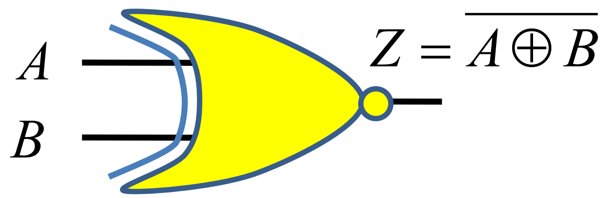


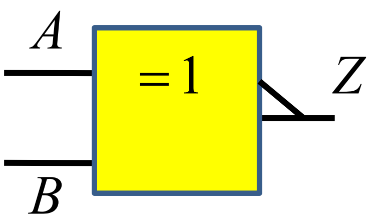


A	B	$\overline{A \oplus B}$
0	0	1
0	1	0
1	0	0
1	1	1

异或非门:两个相同则正确，两个不同则错误

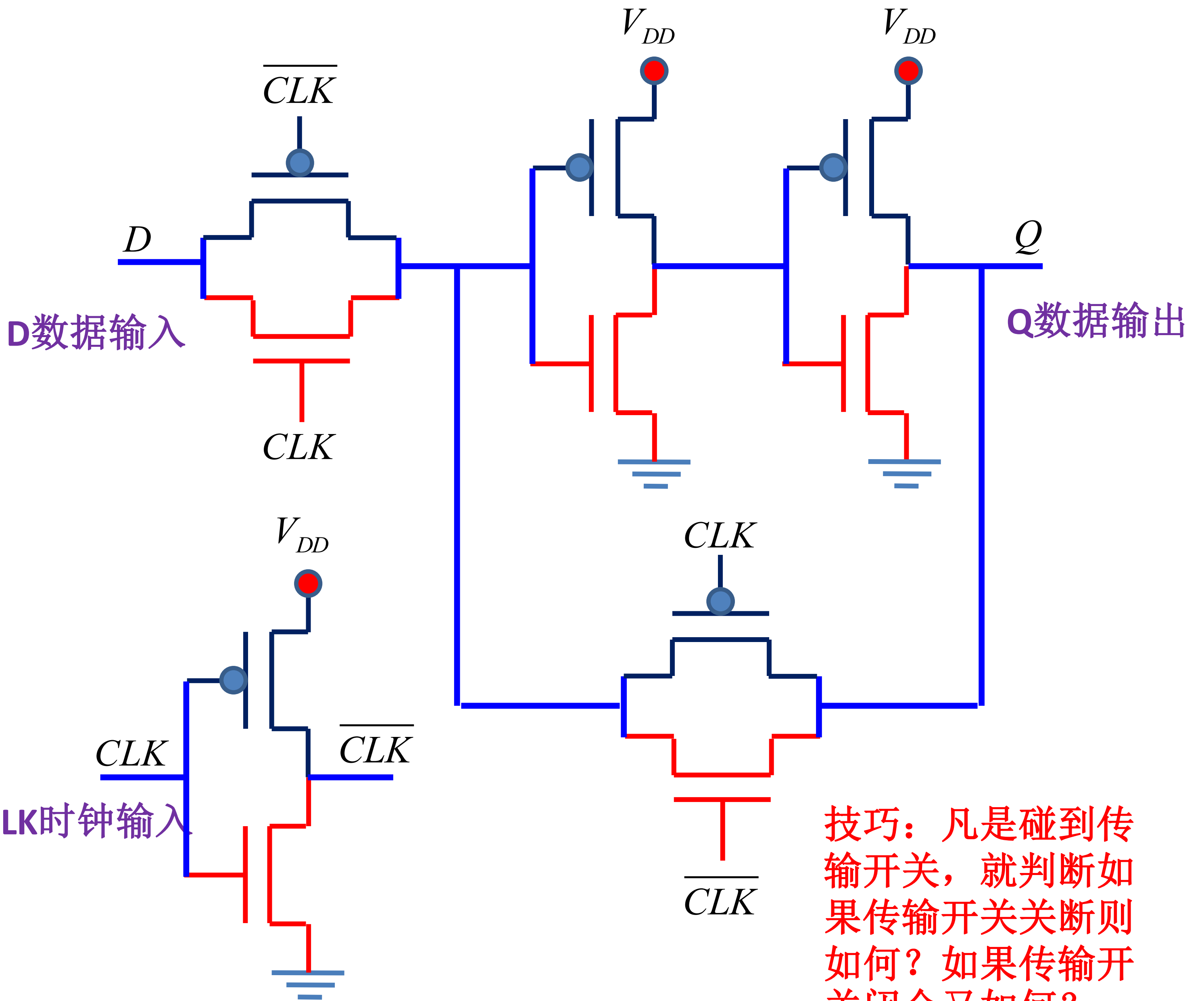
XNOR: Exclusive NOR





作业7

- 尝试分析如图所示数字电路实现什么功能？
  - 给出详尽的分析过程



技巧：凡是碰到传输开关，就判断如果传输开关关断则如何？如果传输开关闭合又如何？

双路选择

CLK为1，则选通D
CLK为0，则选通Q

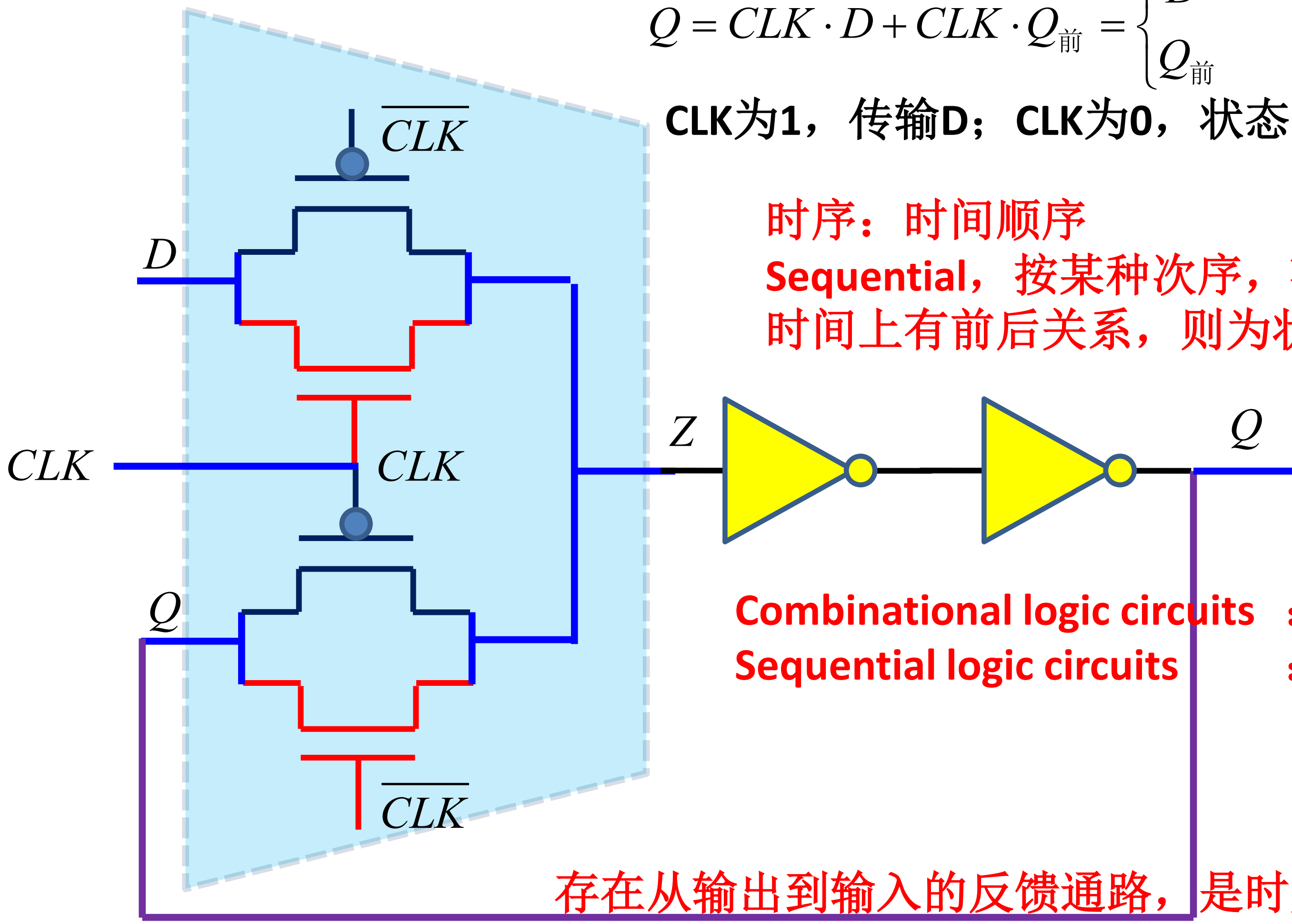
$$Z = CLK \cdot D + \overline{CLK} \cdot Q$$

$$Q = Z = CLK \cdot D + \overline{CLK} \cdot Q??$$

时序逻辑电路不能用简单逻辑表述

$$Q = CLK \cdot D + \overline{CLK} \cdot Q_{前} = \begin{cases} D & CLK = 1 \\ Q_{前} & CLK = 0 \end{cases}$$

CLK为1，传输D；CLK为0，状态保持不变

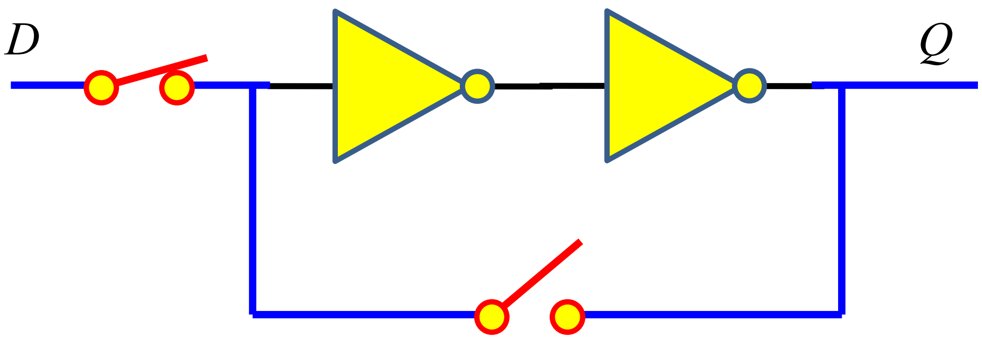


时序：时间顺序
Sequential，按某种次序，有先有后：时间上有前后关系，则为状态

Combinational logic circuits ：组合逻辑电路
Sequential logic circuits ：时序逻辑电路

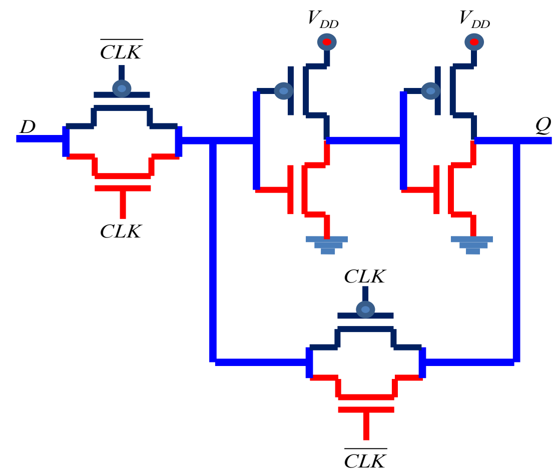
存在从输出到输入的反馈通路，是时序逻辑电路
输出不仅由当前输入决定，还和之前的状态有关

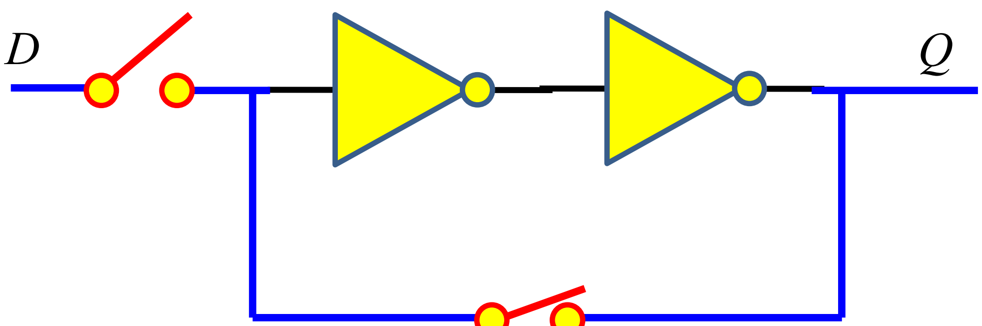
实现锁存功能：latch



CLK=1

$Q = D$ 透明传输

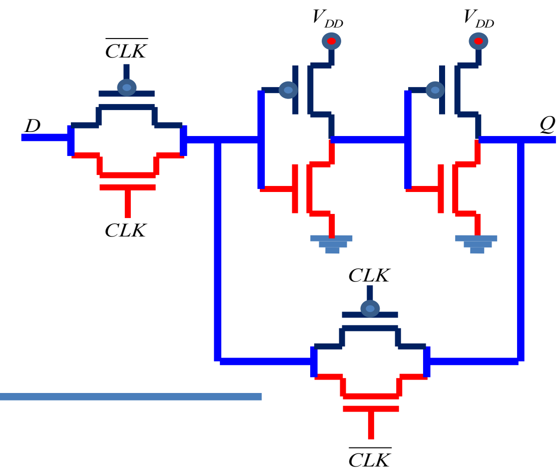


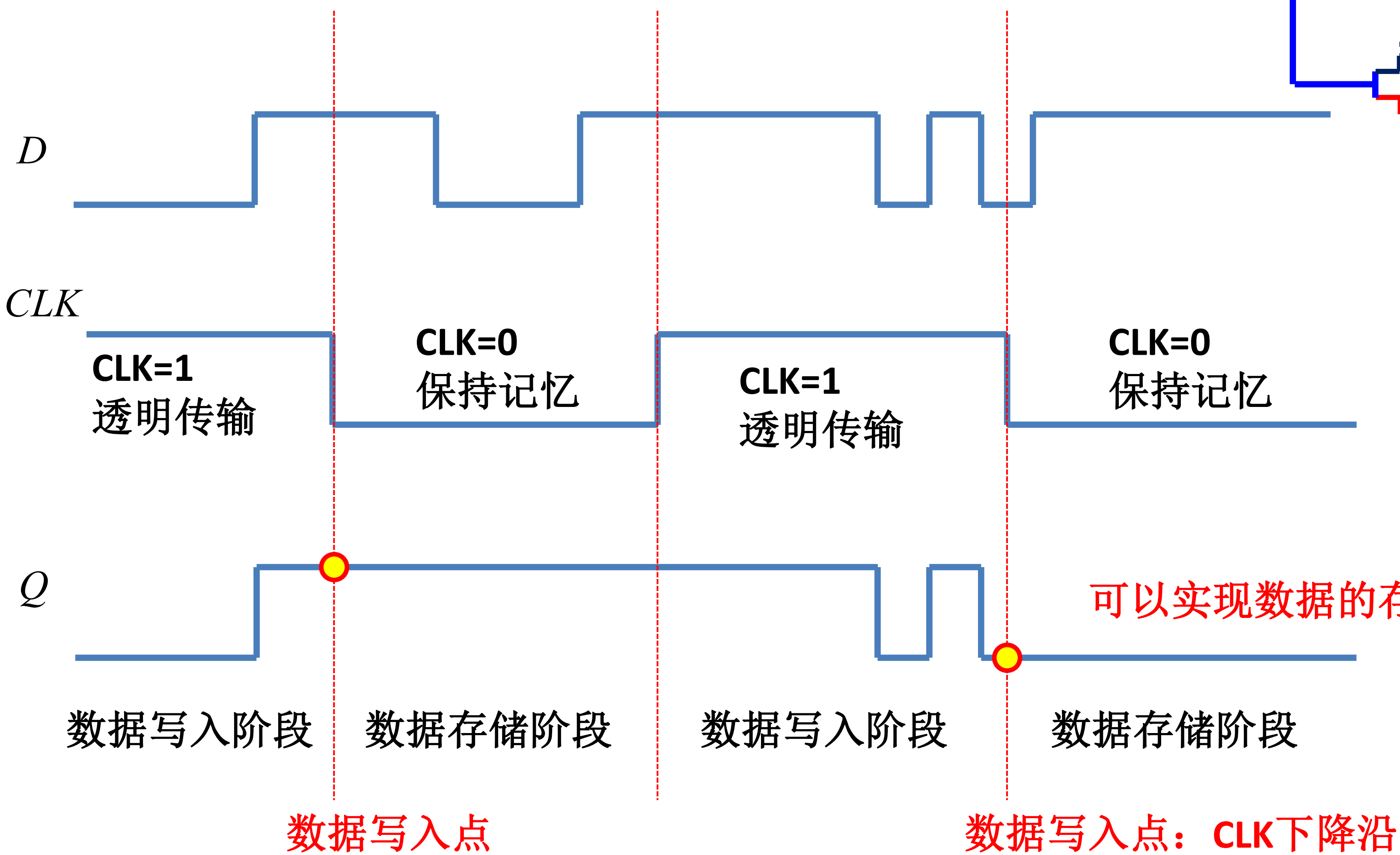


CLK=0

Q 保持

锁存功能



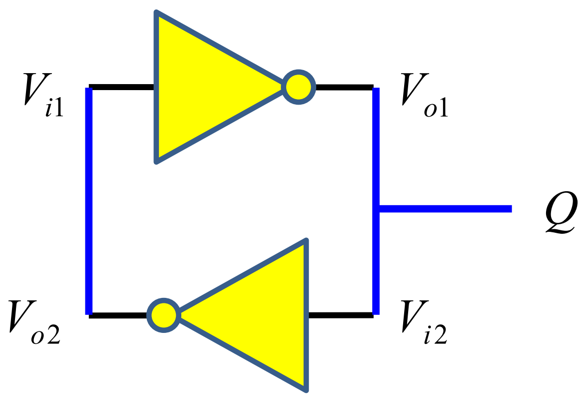


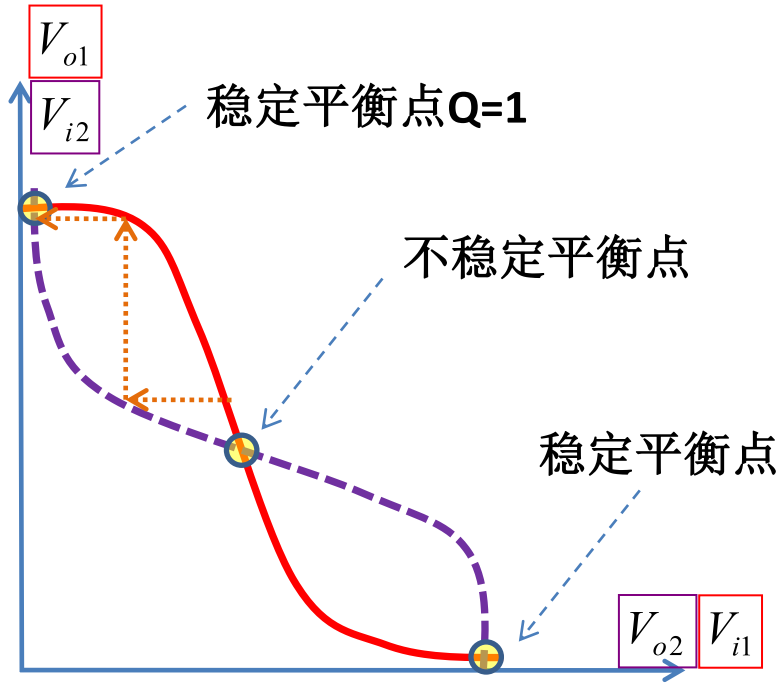
可以实现数据的存储功能

两个反相器头尾环接
只能锁死停留在两个状态上

时序逻辑电路讨论：此为存储器核心电路

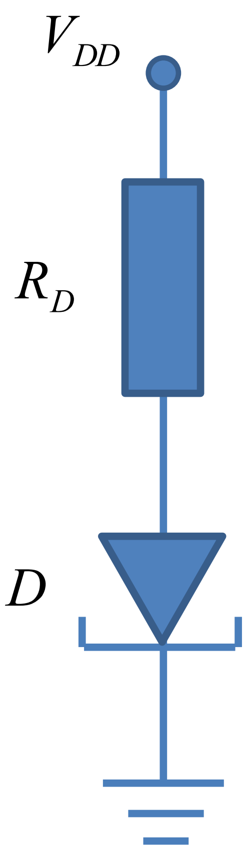
平衡点：直流工作点

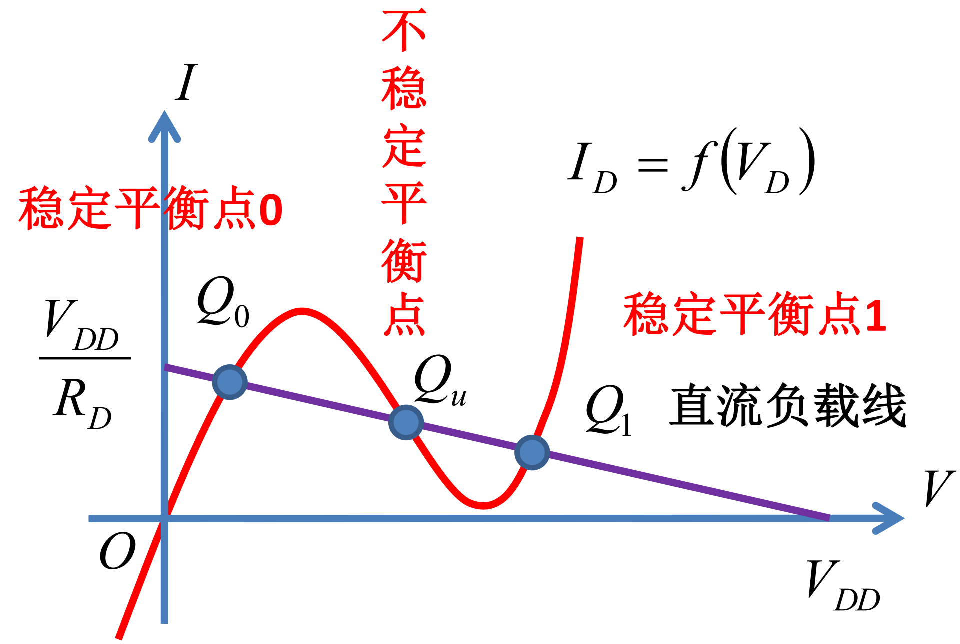




负阻形成状态记忆

见第2章：负阻



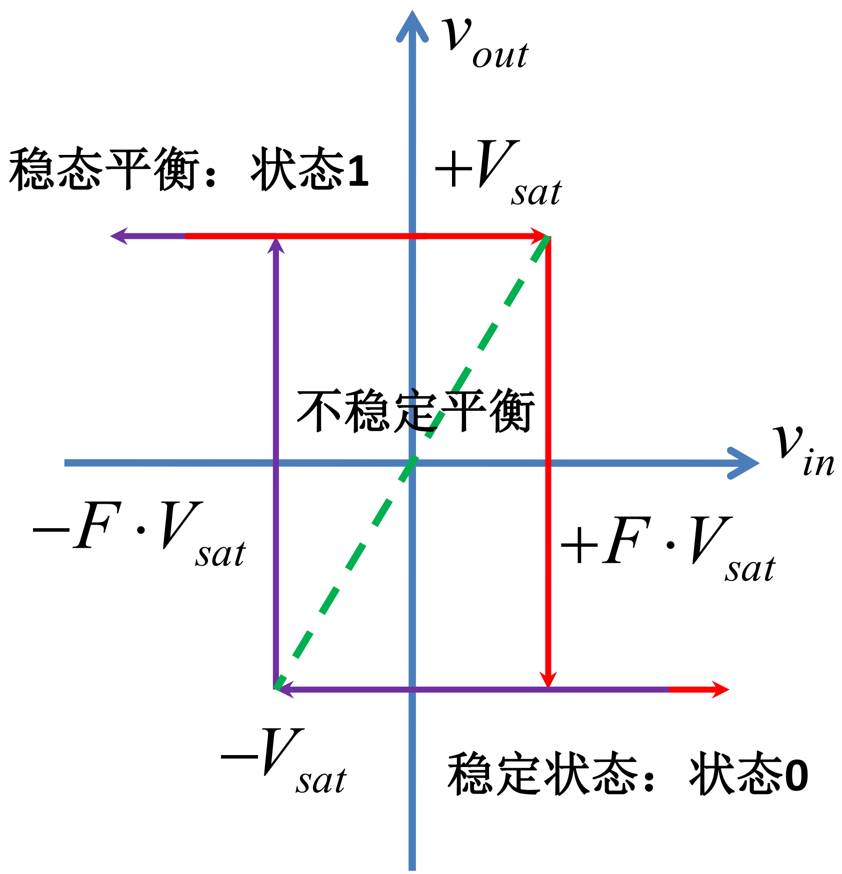


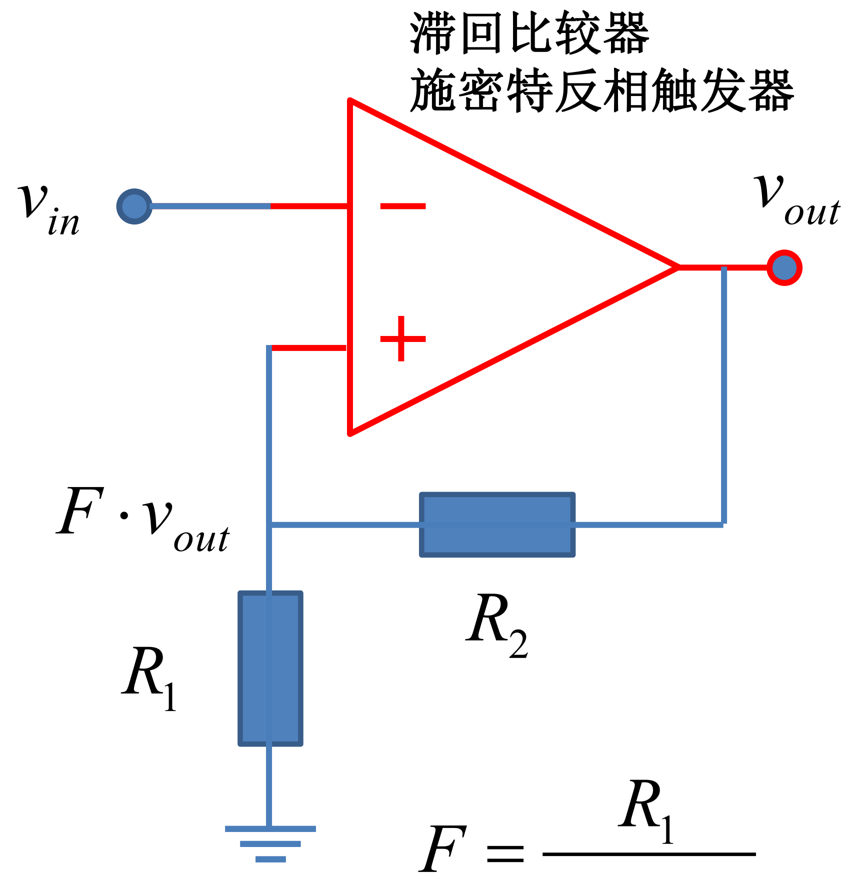
假设有一个干扰，使得二极管直流工作点稍微偏离Q_u

假设干扰使得二极管电压$V_D<V_u$，I_D增加，R_D分压增加，V_D进一步降低，于是工作点离开Q_u移向Q_0

假设干扰使得二极管电压$V_D>V_u$，…，工作点移向Q_1

正反馈形成状态记忆例



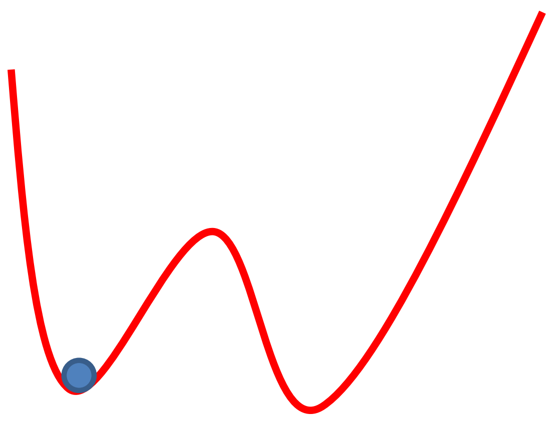


$$F=\frac{R_1}{R_1+R_2}$$

施密特触发器也可形成存储能力，或记忆功能

双稳器件

- 双稳器件
  - 具有两个稳定状态和一个不稳定状态的器件
    - 头尾连接的反相器
      - SRAM核心
    - N型(或S型)负阻
    - 施密特触发器
    - …



- 我们可以用双稳器件实现状态存储，形成振荡